

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

011906764 **Image available**

WPI Acc No: 1998-323674/199829

XRPX Acc No: N98-253096

Unit for performing numerical and logical operations in processors,
multi-computer systems, data flow processors, digital signal processors -
has bus unit enabling data to be accessed from or results to be passed to
bus system with automatic synchronisation of several receivers to which
data are sent bus access is decoupled from data processing

Patent Assignee: PACT INFORMATIONSTECHNOLOGIE GMBH (PACT-N); PACT XPP
TECHNOLOGIES AG (PACT-N); ENTIRE INTEREST (ENTI-N); PACT GMBH (PACT-N)

Inventor: MUNCH R; VORBACH M; MUENCH R

Number of Countries: 081 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19651075	A1	19980610	DE 1051075	A	19961209	199829 B
WO 9826356	A1	19980618	WO 97DE2949	A	19971209	199830
AU 9856514	A	19980703	AU 9856514	A	19971209	199847
EP 943129	A1	19990922	EP 97952730	A	19971209	199943
			WO 97DE2949	A	19971209	
DE 19781412	T	19991028	DE 1081412	A	19971209	199951
			WO 97DE2949	A	19971209	
CN 1247613	A	20000315	CN 97181623	A	19971209	200031
JP 2001505382	W	20010417	WO 97DE2949	A	19971209	200128
			JP 98524938	A	19971209	
US 6425068	B1	20020723	US 97946810	A	19971008	200254
US 20030056085	A1	20030320	US 97946810	A	19971008	200323
			US 2002156397	A	20020528	
EP 1310881	A2	20030514	EP 97952730	A	19971209	200333
			EP 200228401	A	19971209	
EP 943129	B1	20030702	EP 97952730	A	19971209	200345
			WO 97DE2949	A	19971209	
			EP 200228401	A	19971209	
DE 59710383	G	20030807	DE 510383	A	19971209	200359
			EP 97952730	A	19971209	
			WO 97DE2949	A	19971209	

Priority Applications (No Type Date): DE 1051075 A 19961209

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

DE 19651075 A1 29 G06F-015/80

WO 9826356 A1 G G06F-015/78

Designated States (National): AL AM AT AU AZ BA BB BG BR BY CA CH CN CU
CZ DE DK EE ES FI GB GE GH GM HU ID IL IS JP KE KG KP KR KZ LC LK LR LS
LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR
TT UA UG US UZ VN YU ZW

Designated States (Regional): AT BE CH DE DK EA ES FI FR GB GH GM GR IE
IT KE LS LU MC MW NL OA PT SD SE SZ UG ZW

AU 9856514 A G06F-015/78 Based on patent WO 9826356

EP 943129 A1 G G06F-015/78 Based on patent WO 9826356

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE

DE 19781412 T G06F-015/78 Based on patent WO 9826356

CN 1247613 A G06F-015/78

JP 2001505382 W 100 H03K-019/177 Based on patent WO 9826356
 US 6425068 B1 G06F-015/16
 US 20030056085 A1 G06F-009/30 Cont of application US 97946810
 Cont of patent US 6425068
 EP 1310881 A2 G G06F-015/78 Div ex application EP 97952730
 Div ex patent EP 943129
 Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
 MC NL PT SE
 EP 943129 B1 G G06F-015/78 Related to application EP 200228401
 Related to patent EP 1310881
 Based on patent WO 9826356
 Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU
 MC NL PT SE
 DE 59710383 G G06F-015/78 Based on patent EP 943129
 Based on patent WO 9826356

Abstract (Basic): DE 19651075 A

The unit has a programmable computer unit (EALU) for basic mathematical and logical functions. The functions and interconnections are programmed in registers, enabling processing of a number of data types without reprogramming. A state machine (SM-UNIT) controls the computer unit. Registers partially in the form of shift registers exist for each operand and the result. Result register data are fed back to an input via a multiplexer.

A bus unit (BM-UNIT) enables data to be accessed from or results to be passed to a bus system with automatic synchronization of several receivers to which data are sent. Bus access is decoupled from data processing, esp. configuration and reconfiguration do not affect the data transmitter or receiver. Bus transfers are automatically controlled by a state machine (SYNC-UNIT) using handshake lines. Return messages allow the status of processing and reconfiguration to be monitored.

ADVANTAGE - System has cascable computer arrangement which is flexibly configured in terms of interconnections and functions.

Dwg.2/16

Title Terms: UNIT; PERFORMANCE; NUMERIC; LOGIC; OPERATE; PROCESSOR; MULTI; COMPUTER; SYSTEM; DATA; FLOW; PROCESSOR; DIGITAL; SIGNAL; PROCESSOR; BUS; UNIT; ENABLE; DATA; ACCESS; RESULT; PASS; BUS; SYSTEM; AUTOMATIC; SYNCHRONISATION; RECEIVE; DATA; SEND; BUS; ACCESS; DECOUPLE; DATA; PROCESS

Derwent Class: Q22; T01

International Patent Class (Main): G06F-009/30; G06F-015/16; G06F-015/78; G06F-015/80; H03K-019/177

International Patent Class (Additional): B62D-025/00; G06F-009/302; G06F-009/38; G06F-013/38

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T01-F03B; T01-H01D; T01-H07A; T01-M02

?

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 196 51 075 A 1

⑤ Int. Cl.⁶
G 06 F 15/80
G 06 F 9/38
G 06 F 13/38

②1 Aktenzeichen: 196 51 075.9
②2 Anmeldetag: 9. 12. 96
④3 Offenlegungstag: 10. 6. 98

DE 196 51 075 A 1

⑦1 Anmelder:
Pact Informationstechnologie GmbH, 81545
München, DE

⑦4 Vertreter:
Zahn, R., Dipl.-Ing., Pat.-Anw., 76229 Karlsruhe

⑦2 Erfinder:
Vorbach, Martin, 76149 Karlsruhe, DE; Münch,
Robert, 76149 Karlsruhe, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

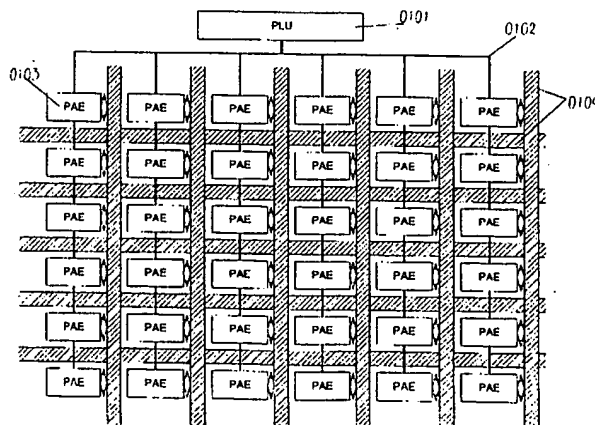
Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Einheit zur Verarbeitung von numerischen und logischen Operationen, zum Einsatz in Prozessoren (CPU's), Mehrrechnersystemen, Datenflußprozessoren (DFP's), digitalen Signal Prozessoren (DSP's) oder dergleichen

⑤7 In Verbindung mit einer konfigurierbaren und zur Laufzeit umkonfigurierbaren Einheit zur Verarbeitung von numerischen und logischen Operationen (PAE), zum Einsatz in Prozessoren (CPUs), Mehrrechnersystemen, Datenflußprozessoren (DFPs), Digitalen Signal Prozessoren (DSPs), systolischen Prozessoren und programmierbaren Logikbausteinen (FPGAa), gesteuert von einer Lade-logik (PLU), wird folgende Konfiguration vorgeschlagen:

Es ist eine programmierbare Recheneinheit (EALU) zur Durchführung der mathematischen und logischen Grundfunktionen vorgesehen, deren Funktion und Vernetzung in Registern programmiert wird und in denen eine Vielzahl von Daten, ohne Umprogrammierung der PAE, verarbeitet werden kann.

Zur Steuerung der Recheneinheit ist eine Zustandsmaschine (SC) vorgesehen, die für jeden Operator eine Registerkonfiguration vorgibt, die in der EALU durchgeführt wird. Das Ergebnisregister (R20-MUX) auf der BM-UNIT ist mit dem Bussystem bzw. dem Bussystem, wobei der Empfänger versendet, mehrere Empfänger. Der Buszugriff von der EALU ist über die Registerkonfiguration, wobei jede PAE als unabhängige Einheit betrachtet werden kann, so daß die ...



DE 196 51 075 A 1

*Detailed Description
Send in Abstracts.
(Time is getting there.)*

Beschreibung

1. Hintergrund der Erfindung

1.1 Stand der Technik

In der Offenlegungsschrift DE 44 16 881 A1 ist ein Verfahren zur Verarbeitung von Daten beschrieben. Dabei werden in ihrer Funktion und Vernetzung weitgehend frei konfigurierbare, homogen angeordnete Zellen verwendet.

Unabhängig von der erwähnten Offenlegungsschrift werden zunehmend FPGA-Bausteine (frei programmierbare Logikbausteine) verwendet, um Rechenwerke und Datenverarbeitungseinrichtungen aus einer Vielzahl einzelner Logikzellen aufzubauen.

Ein weiteres bekanntes Verfahren ist der Aufbau von Datenverarbeitungseinrichtungen aus festen, programmgesteuerten Rechenwerken mit weitgehend fester Vernetzung, sogenannten systolischen Prozessoren.

1.2 Probleme

1.2.1 Bausteine nach DE 44 16 881 A1

Bausteine nach dem in DE 44 16 881 A1 beschriebenen Verfahren (im folgenden VPUs genannt) sind aufgrund der hohen Zahl kleiner Logikzellen sehr aufwendig zu konfigurieren. Zur Steuerung einer Logikzelle sind mehrere Steuer-Bit in einem statischen Speicher (SRAM) anzugeben. Für jede Logikzelle existiert eine SRAM-Adresse. Die Zahl der zu konfigurierenden SRAM-Zellen ist sehr hoch, was zu einem erheblichen Platzbedarf und Zeitaufwand für die Konfiguration und Umkonfiguration eines solchen Bausteines führt. Der hohe Platzbedarf ist besonders unangenehm, da die Verarbeitungsleistung einer VPU mit steigender Zahl der Zellen zunimmt. Jedoch ist die verwendbare Fläche eines Bausteines durch die Chipfertigungstechnologien begrenzt. Der Preis eines Chips steigt etwa quadratisch zur Chipfläche. Aufgrund der mehrfach abgebildeten Next-Neighbour Vernetzungsstruktur ist ein Broadcast, also das Senden von Daten an mehrere Empfänger gleichzeitig, unmöglich. Sollten VPUs im Betrieb umkonfiguriert werden, ist es zwingend erforderlich kurze Umkonfigurationszeiten zu erreichen. Dagegen steht jedoch die große Anzahl an Konfigurationsdaten die benötigt werden, um den Chip umzukonfigurieren. Es existiert keine Möglichkeit Zellen von der Versorgungsspannung zu trennen oder langsamer zu takten, um die Verlustleistung zu minimieren.

1.2.2 FPGAs

Für den beschriebenen Einsatzbereich interessante FPGAs bestehen zumeist aus Multiplexer oder Look-Up-Table (LUT) Strukturen. Zur Implementierung werden SRAM-Zellen eingesetzt. Aufgrund der Vielzahl an kleinen SRAM-Zellen sind sie sehr aufwendig zu konfigurieren. Es sind große Datenmengen erforderlich, die einen entsprechend großen Zeitaufwand zum Konfigurieren und Umkonfigurieren erfordern. SRAM-Zellen benötigen sehr viel Platz. Jedoch ist die verwendbare Fläche eines Bausteines durch die Chipfertigungstechnologien begrenzt. Der Preis steigt auch hier etwa quadratisch zur Chipfläche. SRAM basierende Technologie ist durch die Zugriffszeit auf den SRAM langsamer als direkt integrierte Logik. Obwohl viele FPGAs auf Busstrukturen aufbauen, sind keinerlei Broadcast-Möglichkeiten zum schnellen und effektiven Senden von Daten an mehrere Empfänger gleichzeitig gegeben. Sollen FPGAs im Betrieb umkonfiguriert werden, ist es zwingend erforderlich kurze Konfigurationszeiten zu erreichen. Dagegen steht jedoch die große Anzahl an Konfigurationsdaten die benötigt werden. FPGAs bieten keinerlei Unterstützung für eine sinnvolle Umkonfiguration im Betrieb. Der Programmierer hat dafür zu sorgen, daß der Vorgang ordentlich ohne störende Einflüsse auf Daten und umgebende Logik abläuft. Eine intelligente Logik zum Minimieren der Verlustleistung ist nicht vorhanden. Es bestehen keine speziellen Funktionseinheiten, die eine Rückmeldung der internen Betriebszustände an die das FPGA steuernde Logik ermöglichen.

1.2.3 Systolische Prozessoren

Bei systolischen Prozessoren entfällt die Umkonfiguration komplett, jedoch sind diese Prozessoren unflexibel, da sie einen starren internen Aufbau besitzen. Befehle werden in jedem Zyklus neu dekodiert. Wie bereits in der beiden vorherigen Abschnitten beschrieben fehlen Funktionen, die ein Broadcasting oder die effiziente Minimierung der Verlustleistung beinhalten.

1.3 Verbesserung durch die Erfindung, Aufgabe

Die Erfindung umfaßt ein kaskadierbares Rechenwerk, das flexibel in seiner Funktion und Vernetzung konfigurierbar ist. Es benötigt während der Ausführung des Algorithmus keine Befehlsdekodierung. Es ist im Betrieb umkonfigurierbar, ohne Einfluß auf die umgebenden Rechenwerke, Verarbeitungsmodule und Datenströme zu haben. Die Menge der Konfigurationsdaten ist sehr klein, was sich günstig auf Platzbedarf und Konfigurationsgeschwindigkeit auswirkt. Um große Datenmengen schnell und effizient zu verteilen wird Broadcasting über die internen Bussysteme unterstützt. Das Rechenwerk ist mit einer Stromsparfunktion ausgestattet, wodurch die Stromaufnahme komplett ausgeschaltet wird, ebenso existiert ein Takteiler, der es ermöglicht das Rechenwerk mit einem geringeren Takt zu betreiben. Für Rückmeldungen der internen Zustände an die externen Steuerungen stehen besondere Mechanismen zur Verfügung.

2. Beschreibung der Erfindung

2.1 Übersicht über die Erfindung, Abstrakt

Die Erfindung beschreibt den Aufbau einer Zelle im Sinne von DE 44 16 881 A1 oder bekannter FPGA Zellen. In diese Zelle integriert ist eine um Sonderfunktionen erweiterte Arithmetisch-Logische-Einheit (EALU), die die Datenverarbeitung durchführt. Die EALU wird über ein Funktionsregister konfiguriert, dadurch sinkt die für die Konfiguration erforderliche Datenmenge erheblich. Die Zelle ist über ein Bussystem frei kaskadierbar, dabei ist die EALU vom Bussystem über Ein- und Ausgaberegister entkoppelt. Die Ausgaberegister sind auf einen Eingang der EALU zurückgeführt um serielle Operationen zu ermöglichen. Die Aufschaltung auf den Bus übernimmt eine Bussteuereinheit, die den Bus entsprechend dem Busregister vernetzt. Dabei ist die Einheit so konzipiert, daß das Verteilen von Daten an mehrere Empfänger (Broadcasting) möglich ist. Eine Synchronisationsschaltung steuert den Datenaustausch zwischen mehreren Zellen über das Bussystem. Die EALU, die Synchronisationsschaltung, die Bussteuereinheit und die Register sind so gestaltet, daß eine Zelle unabhängig von ihren Umgebungszellen im Betrieb umkonfiguriert werden kann. Über das Funktionsregister kann ein Stromsparmodus konfiguriert werden, der die Zelle abschaltet, ebenfalls können Takteiler eingestellt werden, die die Arbeitsfrequenz verringern.

2.2 Detailbeschreibung der Erfindung

Die Erfindung beschreibt den Aufbau einer Zelle (PAE=Processing Array Element) im Sinne von DE 44 16 881 A1 oder bekannter FPGA Zellen, dabei sind die PAEs zu einem Array (Processing Array = PA) kaskadierbar. Eine PAE ist aus einer Vielzahl von Funktionseinheiten aufgebaut:

2.2.1 EALU

Das Rechenwerk besteht aus einer fest in Logik implementierten erweiterten Arithmetisch-Logischen-Einheit EALU. Eine EALU ist eine gewöhnliche Arithmetisch-Logische-Einheit nach dem Stand der Technik (ALU), die durch spezielle Funktionen, wie Zähler erweitert ist. Diese EALU ist in der Lage eine Vielzahl von arithmetischen und logischen Operationen durchzuführen, ohne hier genau spezifiziert werden zu müssen, da auf ALUs die dem Stand der Technik entsprechen zurückgegriffen werden kann. Die EALU hat direkten Zugriff auf ihre eigenen Ergebnisse, diese werden wir nachfolgend beschrieben als Operand zurückgeführt. Dadurch sind Zähler oder serielle Operationen, wie die serielle Multiplikation, Division oder Reihentwicklungen, möglich. Die EALU liefert neben ihrem Ergebnis die Signale CarryOut-AlessB und AequalB-0detect. CarryOut-AlessB gibt entweder bei arithmetischen Operationen das Carry an, oder bei Vergleichen mittels einer Subtraktion zweier Werte gibt der Übertrag, also CarryOut-AlessB, daß $A < B$, bzw. $B < A$, abhängig vom negierten Operanden an. Das Signal ist das übliche Carry generiert durch einen Volladdierer. AequalB-0detect gibt an, daß das Ergebnis im Ergebnisregister R-REGsft gleich 0 ist. Das Signal wird über ein NOR aus dem Ergebnis generiert. Die Signale werden zur einfachen Auswertung von Zuständen verwendet und können an die PLU zurückgeliefert werden. Weitere Statussignale sind je nach Anwendung implementierbar.

Die Funktion der EALU wird in einem Funktionsregister (F-PLUREG) konfiguriert.

2.2.2 O-REG

Die Eingangsooperanden der EALU werden in zwei unabhängige Operandenregister (O-REG) gespeichert. Dadurch stehen sie unabhängig des Zustandes der Einheit, die die Daten liefert (Datensender) zur Verfügung. Dies ist notwendig um eine Entkopplung vom Bus und eine freie Umkonfigurierbarkeit des PAs zu ermöglichen. Eines oder beide O-REG besitzen eine Schiebefunktion, die von der EALU für ggf. jedes O-REG einzeln angesteuert wird. Die Schiebefunktion ermöglicht das Durchführen von seriellen Operationen wie seriell Multiplizieren oder Dividieren im EALU. O-REG mit Schiebefunktion werden als O-REGsft bezeichnet.

2.2.3 R-REGsft

Das Ergebnis der EALU wird in einem Ergebnisregister gespeichert (R-REGsft). Dadurch wird die zeitliche Unabhängigkeit von der oder den das Ergebnis empfangenden Einheiten (Datenempfänger) erreicht. Das R-REGsft besitzt eine Schiebefunktion, die von der EALU angesteuert wird, wodurch serielle Operationen ermöglicht werden.

2.2.4 R2O-MUX

Die Ergebnisdaten, die in R-REGsft stehen, werden über einen Multiplexer (R2O-MUX) zwischen einem der O-REG und der EALU als Operand eingeschleift, um eine Rückkopplung des Ergebnisses für serielle Operationen, Zähler und ähnliche Funktionen zu gewährleisten. Der Multiplexer wird durch das F-PLUREG eingestellt.

2.2.5 Taktzyklen

Es ist sinnvoll, jedoch nicht zwingend erforderlich, die O-REG(sft) bei einer Taktflanke anzusteuern und die R-REGsft bei der darauffolgend negierten Taktflanke. Dadurch hat die EALU einen Halbtakt zur Ausführung ihrer Funktion zur Verfügung, der zweite Halbtakt steht für Signallaufzeiten und Multiplexer zur Verfügung. Dadurch wird es möglich in jedem Takt eine komplette Operation auszuführen.

- Zur Ablaufsteuerung in der EALU existiert eine SM-UNIT. Diese steuert die O-REG und R-REGsft und deren Schiebefunktion, sowie R2O-MUX. Dadurch wird erreicht, daß serielle Operationen, Schiebe- und Zählfunktionen einfach von der EALU durchgeführt werden können. Die StateMachine ist dabei nach dem Stand der Technik einfach zu implementieren.

2.2.7 Sync-UNIT

- Zur Synchronisation einer PAE innerhalb eines Arrays (PA) aus PAEs ist eine Synchronisationseinheit (Sync-UNIT) vorhanden. Diese wertet eine Reihe von Eingangssignalen, die ein HandshakeProtokoll ausführen, aus.

- rACK(h/l): Der Datenempfänger quittiert die empfangenen Daten. Dabei ist rACKh die Quittierung des hohen Ergebnisbytes (Bit 8 bis 15) und rACKl die des niederen Ergebnisbytes (Bit 0 bis 7). Beide werden verUNDet (rACKh UND rACKl) und ergeben das Signal rACK. rACK ist nicht wahr, während einer oder beide Datenempfänger mit der Verarbeitung ihrer Daten beschäftigt sind und wird wahr wenn die Verarbeitung der Daten beider Datenempfänger abgeschlossen ist und das Ergebnis im R-REGsft des jeweiligen Datenempfängers gespeichert ist. Die Signale rACK(h/l) werden im weiteren oftmals in ihrer verUNDeten Form als rACK (= rACKh & rACKl) betrachtet.

- oRDY(1/2): Der Datensender signalisiert seine Bereitschaft neue Daten zu senden. oRDY ist nicht wahr, während der Datensender mit der Verarbeitung seiner Daten beschäftigt ist und wird wahr, wenn das Ergebnis des Datensenders, das der Operand der PAE ist, zur Verfügung steht. Dabei ist oRDY1 das Freigabesignal des Datensenders des ersten Operanden und oRDY2 das des Zweiten. Beide werden verUNDet (oRDY1 UND oRDY2) und ergeben das Signal oRDY. oRDY ist nur wahr, wenn beide Datensender bereit sind Daten zu versenden. Die Signale oRDY(1/2) werden im weiteren oftmals in ihrer verUNDeten Form als oRDY (=oRDY1 & oRDY2) betrachtet.

- Aus den Eingangssignalen und dem Zustand der Sync-UNIT, der zusammen mit der Ablaufsteuerung der EALU den Gesamtzustand der PAE darstellt, werden Ausgangssignale generiert, die von den Sync-UNITs der Datensender und -empfänger ihrerseits als Eingangssignale betrachtet werden. Zur Ablaufsteuerung der EALU werden deren Statusinformationen und das Register F-PLUREG verwendet.

- rRDY: Zeigt an, daß die PAE ihre Datenverarbeitung beendet hat und ein Ergebnis im R-REGsft zur Verfügung steht. rRDY wird als rRDYh und rRDYl an beide Datenempfänger übertragen. Dabei handelt es sich jedoch um dasselbe Signal!

- oACK: Zeigt an, daß die PAE ihre Operanden verarbeitet hat und neue Daten in den O-REG(sft) aufnehmen kann. oACK wird als oACK1 und oACK2 an beide Datensender übertragen. Dabei handelt es sich jedoch um dasselbe Signal!

Die RDY-Signale behalten ihren Pegel bis zum Eingang der Quittierung durch ACK bei. Dies ist erforderlich wenn der Datenempfänger während der Bereitstellung der Daten umkonfiguriert wird. Steht RDY bis zur Quittierung durch ACK an, so erkennt der Datenempfänger nach der Umkonfiguration, daß Daten bereitstehen und nimmt sie an.

Die Verknüpfung der Signale über mehrere PAEs stellt sich wie folgt dar:

- 40
- | | | | | | |
|-------------|---|------|------|----------------|------|
| Datensender | | PAE | | Datenempfänger | |
| rRDY | → | oRDY | rRDY | → | oRDY |
| rACK | ← | oACK | rACK | ← | oACK |

- 45 Das bedeutet z. B. das Ausgangssignal rRDY des Datensenders stellt das Eingangssignal oRDY1 oder oRDY2 der PAE dar. Das Ausgangssignal rRDY der PAE stellt das Eingangssignal oRDY des Datenempfängers dar.

Die Sync UNIT besitzt folgende Ablaufarten:

- | Modus | Beschreibung | Bemerkung |
|------------|---|--|
| Warten OP | Die PAE wartet auf Operanden | Nur wenn keine mehrzyklische Operation abläuft |
| Zyklus 1 | Eine einzyklische Operation wird durchgeführt | Operanden werden quittiert |
| Zyklus n | Ein Zyklus einer mehrzyklischen Operation wird durchgeführt | |
| Zyklus Z | Der letzte Zyklus einer mehrzyklischen Operation wird durchgeführt | Operanden werden quittiert |
| Warten ERG | Die PAE wartet auf die Quittierung des Ergebnisses | Nur wenn vorhergehendes Ergebnis existiert |
| Stop | Ausführung nach Beendigung des laufenden Zyklusses anhalten, dann ReConfig quittieren, wenn auch Ergebnis quittiert wurde | |

Die Sync-UNIT stellt einen besonderen Modus zur Verfügung, der das Taktsignal nur freigibt, wenn Operanden zur

Verfügung stehen. Dieser Modus ist vor allem dann sinnvoll, wenn die Datensender die Daten nicht in jedem Prozessortakt liefern, sondern nur jeden n. Takt. Dabei entspricht der Takt einer Periode des Normaltaktes und wird über rACK oder oRDY(1/2) freigegeben. Die Freigabe wird als OneShot bezeichnet. Der Modus wird als OneShot-MODE bezeichnet. Dabei wird der Takt über ein UND-Gatter mit einem der Freigabesignale verUNDet. Der Modus und die Signalauswahl findet über das F-PLUREG statt. Das Freigabesignal, generiert über rACK oder oRDY(1/2), kann von der SM-UNIT verlängert werden. Dies ist erforderlich, damit Operationen, die mehr als einen Takt benötigen im OneShot-MODE durchgeführt werden können. Um dies zu ermöglichen, wird eine entsprechende Signalleitung der SM-UNIT mit dem Freigabesignal verODERT.

Wird der Registereintrag STOP im F-PLUREG gesetzt, so führt die Sync-UNIT die laufende Funktion zu Ende. Danach werden keine weiteren Operanden mehr angenommen und quittiert. Sobald rACK anzeigt, daß das Ergebnis vom Datenempfänger angenommen wurde, wird die Umkonfigurationsbereitschaft der PLU durch das Signal ReConfig angezeigt. Das Signal wird generiert, indem rACK das Stop des F-PLUREG in ein D-FlipFlop speichert. ReConfig kann durch einen lesenden Zugriff der PLU auf F-PLUREG an der Bitposition von Stop abgefragt werden.

Ebenfalls kann die Sync-UNIT dazu verwendet werden Fehlerzustände oder weitere Statussignale zu generieren und auszuwerten.

2.2.8 BM-UNIT

Zum Umschalten der Operanden und des Ergebnisses auf die externen Bussysteme existiert eine Busmultiplexeinheit (BM-UNIT). Diese besteht aus 2 Multiplexern und 2 Tore, wobei die 2 Multiplexer für die Operanden (O-MUX) und 2 Tore für das Ergebnis (R-GATE) existieren, dabei wird jeweils ein Schalter für das höherwertige und niederwertige Ergebnis verwendet. Die Multiplexer und Schalter werden über das Multiplexerregister (M-PLUREG) gesteuert. Die Sync-UNIT-Signale werden über die Schalter auf den Bus gesteuert. Dabei ist die Zusammengehörigkeit der Multiplexer/Schalter und Signale wie folgt:

O-MUX1: oRDY1, oACK

O-MUX2: oRDY2, oACK

RH-GATE: rRDY, rACKh

RL-GATE: rRDY, rACKl.

Das R-GATE kann über das M-PLUREG in einen Zustand gebracht werden, in dem es kein Bussystem treibt. Die Tabelle gibt eine Beschreibung der Signale, sowie deren jeweiliger Interface-Struktur:

Signal	oRDY	oACK	rRDY	rACK	D7..0
zeigt an	Operanden bereit	Operanden quittiert	Ergebnis bereit	Ergebnis quittiert	Daten
Typ	Eingang	Open-Kollektor	Treiber	Eingang	Bidirektional

Es ist möglich mehrere Datenempfänger von einem Datensender aus anzusprechen (Broadcasting). Hierzu schalten sich mehrere Datenempfänger auf denselben Bus. Um eine Quittierung der Daten zu gewährleisten ist die Treiberstufe der Quittierungsleitung oACK als Offener-Kollektor-Treiber gestaltet. Dabei arbeitet der Bus als wired-AND, d. h. erst wenn alle Datenempfänger quittieren entsteht der für die Quittierung erforderliche H-Pegel. Dies wird dadurch erreicht, daß jeder Datenempfänger, der NICHT quittiert den Bus über einen Open-Kollektor-Transistor auf einen L-Pegel zieht. Datenempfänger die quittieren, steuern den Open-Kollektor-Transistor nicht an und belasten somit den Bus nicht. Wenn alle Datenempfänger quittieren wird der Bus nicht mehr belastet und nimmt über einen Pull-Up-Widerstand H-Pegel an.

2.2.9 StateBack-UNIT

Die PAE ist in der Lage Rückmeldungen über ihren Betriebszustand an ihre Ladelogik, im folgenden PLU genannt, zu liefern (vgl. DE 44 16 881 A1). Die Ladelogik konfiguriert das PA und benötigt, um sinnvolle Umkonfigurationen vornehmen zu können, Informationen über den Status der einzelnen PAEs. Dies geschieht über die StateBack-UNIT. Diese überträgt je nach Eintrag im F-PLUREG entweder die unteren 3-Bit des Ergebnisses aus dem R-REGsft – um berechnete Werte an die PLU zu liefern – oder die Signale CarryOut-AlessB und AcqualB-0detect auf einen 3-Bit Statusbus. Um das Umschalten der Signale von mehreren PAEs aus zu ermöglichen wird ein einfaches wired-OR Verfahren über Open-Kollektor-Treibern verwendet. Damit die Umkonfiguration der PAE erst beginnt, wenn der Empfänger die Daten quittiert hat, kann zwischen den Signalen und den Open-Kollektor-Treibern eine Latch-Stufe eingeschleift werden, die die Signale erst nach Eingang des rACK freigibt. Der Statusbus wird von der PLU überwacht. Diese reagiert in ihrem Programmfluß und ihrer Umkonfiguration auf den vom Bus gelieferten Status.

2.2.10 Power-UNIT

Die PAE besitzt einen Stromsparmodus (Sleep-MODE), der ebenso wie die Funktion der EALU im F-PLUREG eingestellt wird. Hierfür existiert ein Bit, das, wenn es gesetzt ist, den Sleep-MODE einschaltet. Hierzu kann entweder die Taktleitung der PAE auf konstant logisch 0 oder 1 gesetzt werden, oder über einen Transistor die Spannung der PAE abgeschaltet werden. Das F-PLUREG steht innerhalb der PAE immer unter Spannung und ist nicht abschaltbar. Für die jeweils ausgeführte Funktion unbenutzte Bereiche (Gatter) der PAE werden durch Auswertung des F-PLUREG abgeschaltet. Dies geschieht über einen Transistor, der die Bereiche von der Spannungsversorgung trennt. Um unerwünschte Stör-

einflüsse zu verhindern sind die Ausgänge der Bereiche über Pull-Up/Pull-Down-Widerstände definiert.

Zusätzlich kann innerhalb des OneShot-MODE, der von der Sync-UNIT gesteuert wird, der PowerSave-MODE verwendet werden. Dabei werden sämtliche Teile der PAE, mit Ausnahme von F-, M-PLUREG und Sync-UNIT von der Versorgungsspannung getrennt. Erst wenn die Sync-UNIT einen OneShot feststellt, werden alle benötigten PAE-Teile über die Power-UNIT zugeschaltet. Die Sync-UNIT verzögert das Taktsignal so lange, bis alle neu zugeschalteten Teile arbeitsfähig sind.

2.2.11 Register

Die Register F-PLUREG und M-PLUREG sind mit dem PLU-Bus verbunden. Die Adresse der von der PLU gesendeten Datenpakete werden in einem Vergleichler dekodiert. Ist die Adresse der PAE erkannt, so werden die Daten in die Register gespeichert. Der PLU-Bus ist wie folgt gestaltet:

AX7 ... 0: X-Adresse der X/Y-Matrix

AY7 ... 0: Y-Adresse der X/Y-Matrix

RS: Register Select, logisch 0 wählt F-PLUREG, logisch 1 wählt M-PLUREG aus.

AEN: Adress Enable, der Bus enthält eine gültige Adresse. Die Adressen müssen dekodiert werden, solange AEN logisch 0 ist. AEN ist während des gesamten Buszugriffes, also auch während der Datenübertragung logisch 0.

D23 ... 00: Daten

DEN: Data Enable, der Bus enthält gültige Daten. Die Daten müssen bei steigender Flanke des Signals DEN in das Register übertragen werden

OEN: Output Enable, die PLU liest gültige Daten aus den PLUREGs.

Der Aufbau des F-PLUREG

1. Der Registeraufbau beim Schreibzugriff

F11	F10..9	F8	F7..6	F5	F4..0
Stop	StateBack	Sleep	OneShot	PowerSave	EALU function

Die Funktionen der einzelnen Bit

Funktion	Zustand	Wirkung
Stop	0	Normale Funktion
	1	Funktionen nach laufendem Zyklus anhalten, keine Quittierung der Operanden
StateBack	00	keine Rückmeldung, Bus offen
	01	D2..0 auf Bus
	10	CarryOut-AlessB, AequalB-0detect auf Bus
	11	illegal
Sleep	0	keine Funktion, spannungslos
	1	normale Funktion, Spannung
OneShot	00	normale Funktion
	01	OneShot auf oRDY1
	10	OneShot auf oRDY2
	11	OneShot auf (rACKh & rACKl)
PowerSave	0	kein PowerSave
	1	Stromsparmmodus in Verbindung mit OneShot
EALU function	00000	keine Operation (NOP)
	00001	
	...	Funktion gemäß Ausführung der EALU
	11111	

Der Reset-Zustand ist 0 in allen Bits.

F11
ReConfig

5

Die Funktionen der einzelnen Bits

10

Funktion	Zustand	Wirkung
ReConfig	0	Keine Umkonfigurierung möglich
	1	Umkonfigurierung möglich

15

Der Reset-Zustand ist 0 in allen Bits.

Der Aufbau des M-PLUREG

20

M23..18	M17..12	M11..06	M05..00
Ergebnis höherwertig	Ergebnis niederwertig	Operand 1	Operand 0

25

Die Werte $M(n+5) \dots n = 000000$, $n \in \{0, 6, 12, 18\}$ bedeuten, daß die Multiplexer/Schalter offen sind und keinen Buskontakt besitzen. Es kann sinnvoll sein, das M-PLUREG über das Signal ReConfig zu sperren, d. h. sobald ReConfig aktiviert wird, schaltet sich die PAE von allen Bussystemen ab. Der Reset-Zustand ist 0 in allen Bits.

2.3 Zusammenfassung

30

Durch die Reduzierung der Konfigurationsdaten auf das Register F-PLUREG kann die Funktion des PAE einfacher und schneller konfiguriert und umkonfiguriert werden, als in bekannten Technologien, ins besondere der FPGA-Technologie. Die Vernetzung des Rechenwerkes wird im M-PLUREG angegeben, während in den herkömmlichen Technologien eine Vielzahl einzelner, nicht zusammenhängender Konfigurationsbits besetzt werden müssen. Durch die klare Struktur der Register wird eine (Um)Konfiguration vereinfacht.

Der Platzbedarf des PAE ist durch die direkte Ausgestaltung als Rechenwerk kleiner als in herkömmlichen Technologien, in denen Rechenwerke durch eine Vielzahl von Logikzellen implementiert wurden. Gleichzeitig sind die Durchlaufverzögerungen geringen und die erzielbaren Taktfrequenzen entsprechend höher.

Eine Broadcasting-Funktion ist durch die Ausgestaltung der BM-UNIT gewährleistet, die Quittierung erfolgt automatisch. Durch die ein- und ausgangsseitigen Register (O-REG, R-REG) ist ein zeitlich weitgehend unabhängiger Datentransfer gewährleistet.

Die Konfiguration und Umkonfiguration wird durch die Entkopplung jeder PAE vom Gesamtsystem über die Register O-REG und R-REG erheblich vereinfacht, da die einzelnen PAEs weitgehend voneinander unabhängig sind. Die Rückmeldungen an die PLU, sowie das Zusammenspiel von STOP und ReConfig ermöglichen die effiziente Steuerung der (Um)Konfigurationen.

Es sind Stromsparfunktionen implementiert, die – teilweise automatisch (OneShot-MODE) – zu einer Reduzierung des Leistungsverbrauches führen.

Die PAE-Struktur kann zur Erhöhung der Effizienz von FPGAs in deren Architektur implementiert werden. Dadurch sind arithmetische Operationen erheblich leistungsfähiger realisierbar.

50

3. Kurzbeschreibung der Diagramme

Fig. 1 Anordnung mehrerer PAEs zu einem PA mit PLU. Ohne Verbindung zu Ein-/Ausgabesystemen oder Speicher.

Fig. 2 Aufbau einer PAE.

55

Fig. 3 Aufbau von F-PLUREG und M-PLUREG.

Fig. 4 Aufbau eines O-REG.

Fig. 5 Aufbau eines O-REGsft mit rechtsschiebe-Funktion.

Fig. 6 Aufbau eines R-REGsft mit rechts/links 1-2bit Barrel-Shifter.

Fig. 7 Aufbau des R2O-MUX, sowie Implementierung eines MUX in Transfer-Gate-Technik.

60

Fig. 8 Taktsynchronisation, Verzögerungen und synchron Signale

Fig. 9 Funktionsweise der Sync-UNIT. Beschreibung.

Fig. 10 Aufbau der Power-UNIT

Fig. 11 Aufbau der Sync-UNIT

Fig. 12 Aufbau der BM-UNIT

65

Fig. 13 Aufbau eines O-MUX, begrenzt auf 4 Bussysteme

Fig. 14 Aufbau eines R-GATE, begrenzt auf 4 Bussysteme

Fig. 15 Aufbau der StateBack-UNIT

Fig. 16 Funktionsprinzip des OneShot- und OneShot/PowerSave-MODE.

4. Detailbeschreibung der Diagramme

5 **Fig. 1** stellt einen vereinfachten Prozessor gemäß DE 44 16 881 A1 dar. Zudem ist die PLU (0101) und deren Bussystem (0102) angezeigt. Die PAEs (0103) sind als Array eingetragen, das chipinterne Bussystem (0104) ist schematisch dargestellt.

Fig. 2 zeigt den schematisierten Aufbau einer PAE. Das chipinterne Bussystem (0201) wird an die BM-UNIT (0202) geführt, welche die durch M-REG (0203) ausgewählten Busse an das O-REG1sft (0204) als Operand 1 und das O-REG (0205) als Operand 2 weiterschaltet. In den Datenpfad von Operand 2 wird über den R2O-MUX (0206) das im Ergebnisregister R-REGsft (0207) stehende Ergebnis wahlweise eingeschleift. Die Daten aus O-REGsft (0204) und R2O-MUX (0206) werden im EI.AU (0208) verarbeitet. Über die StateBack-UNIT (0209) finden Rückmeldungen an die PLU statt. Der PLU-Bus (0210) hat Verbindung zu den Registern F-PLUREG (0211) und M-PLUREG (0212), sowie der StateBack-UNIT (0209). Über ihn wird die PAE konfiguriert und überwacht. Das F-PLUREG enthält alle funktionellen Konfigurationsdaten, das M-PLUREG enthält die Vernetzungsinformation der PAE. Die Sync-UNIT (0212), steuert das Zusammenspiel des Datenaustausches zwischen den Datensendern, den Datenempfängern und der Verarbeitungs-PAE. Die SM-UNIT (0213) steuert den gesamten internen Ablauf der PAE. Die Power-UNIT (0214) regelt die Stromversorgung und dient der Reduzierung des Stromverbrauches.

In **Fig. 3** wird die Funktionsweise der Register M-PLUREG und F-PLUREG verdeutlicht. Die Adressen AX und AY des PLU-Bus (0308) werden in einem Vergleichs (0301) mit der Adresse der PAE verglichen, sofern AEN (Adress Enable) einen gültigen Bustransfer anzeigt. Dabei besitzt jede PAE eine eindeutige Adresse, die sich aus ihrer Spalte und Zeile innerhalb einer PA zusammensetzt. Zeigt DEN (DataEnable) die Datenübertragung an, so wird über RS (Register-Select) entweder M-PLUREG (0302) oder F-PLUREG (0303) ausgewählt. Bei der steigenden Flanke von DEN werden die Daten im betreffenden Register gespeichert. Die Register sind als D-FlipFlop (0304) implementiert. Zur Verdeutlichung des Ablaufes dient das Timingdiagramm 0305. Zum lesenden Zugriff auf das F-PLUREG wird lediglich über das Tor (0306) das Signal ReConfig von der Sync-UNIT an den PLU-Bus gegeben. Die Freigabe geschieht über das Ergebnis des Vergleichers (0301) UND dem Signal OFN.

Fig. 4a zeigt das Blockdiagramm des O-REG. In **Fig. 4b** ist der Aufbau des O-REG aus D-FlipFlops ersichtlich. Das Timingdiagramm ist in **Fig. 4c** dargestellt. Der Takt wird von der SYNC-SM generiert.

30 **Fig. 5a** zeigt das Blockdiagramm des O-REGsft. In **Fig. 5b** ist der Aufbau des O-REGsft aus D-FlipFlops (0501) ersichtlich. Die UND-Gatter (0502) und das OR-Gatter (0503) bilden über den Inverter (0504) einen durch Mode gesteuerten Multiplexer (0506), der entweder die Eingangsdaten auf die D-FlipFlop (0501) schaltet, oder die Ausgangsdaten der D-FlipFlop um ein Bit verschoben an deren Eingang leitet. Das UND-Gatter (0505) ist nicht notwendig, da ein Eingang permanent auf logisch 0 liegt. Es dient nur der Anschaulichkeit. In **Fig. 5c** ist das Timingdiagramm in Abhängigkeit von dem Signal Mode angegeben. Der Takt wird von der SYNC-SM generiert.

35 **Fig. 6a** zeigt den Blockaufbau des R-REGsft vor dem Register (0601) liegt ein Multiplexer (0602), der entweder die Eingangsdaten auf das Register (0601) schaltet, oder die Ausgangsdaten des Registers (0601) verschoben an dessen Eingang leitet. Der von der SYNC-SM generierte Takt wird um einen Halbtakt verschoben an das Register geführt. In **Fig. 6b** ist das Blockdiagramm auf Gatterebene dargestellt. Über einen Dekoder (0603) schalten Mode0-2 einen aus UND-Gattern mit nachgeschaltetem ODER-Gatter bestehenden Multiplexer (0606). Dabei sind die gestrichelt eingezeichneten Gatter (0605 und weitere) nur der Verdeutlichung wegen eingezeichnet. Sie sind funktionslos, da ein Eingang ständig auf L liegt. Der Multiplexer schaltet im Zustand Mode0-2 = 010 das Eingangssignal auf die Register (0607). In den Zuständen Mode0-2 = 000 bis Mode0-2 = 001 werden die Ausgangswerte der Register (0607) nach links, in den Zuständen Mode0-2 = 011 bis Mode0-2 = 100 rechts, um ein bzw. zwei Bit verschoben, an die Eingänge der Register geführt. Die Scheibefunktion wird in Abhängigkeit vom Zustand Mode0-2 im Timingdiagramm **Fig. 6c** verdeutlicht.

45 **Fig. 7a** zeigt den Aufbau des Multiplexers R2O-MUX, der in Abhängigkeit von Mode die Operanden oder das Ergebnis an die EALU weiterleitet. Dabei ist **Fig. 7a** als herkömmlicher Multiplexer aufgebaut, während in **Fig. 7b** die platz- und leistungssparende Variante durch die Verwendung von CMOS Transfer-Gates (0701) aufgezeigt wird. Alle in dieser Schrift beschriebenen beschriebenen Multiplexer können mittels Transfer-Gates aufgebaut werden.

50 Ein Tor kann äquivalent zum Multiplexer aus Transfer-Gates aufgebaut werden. Dabei ist jedoch die Richtung des Datenaustausches genau umgekehrt!

Fig. 8 zeigt das Verhältnis des PAE-internen Taktes CLK zu den stattfindenden Aktivitäten. Bei der steigenden Flanke (0801) werden die Operanden in die O-REG gespeichert. Während des H-Pegels (0802) verarbeitet die PAE die Daten (Δ PAE = Verarbeitungsphase). Das umfaßt den Datenverkehr zwischen den O-REG und dem R-REG. Bei der fallenden Flanke (0803) wird das Ergebnis im R-REG gespeichert. Der L-Pegel (0804) wird für die Verteilung der im Bussystem, eingeschlossen der BM-UNIT genutzt (Δ Network = Busphase). Der zeitliche Ablauf der von der SYNC-SM generierten Signale (oRDY und oACK, rRDY und rACK) ist in das Zeitdiagramm eingetragen.

Das Ablaufdiagramm der Sync-UNIT ist in **Fig. 9** dargestellt. Die Zustandsmaschine kennt zwei feste Zustände DATEN (0901) und ERGEBNIS (0902). DATEN wird auf die steigende Flanke synchronisiert, ERGEBNIS auf die fallende. Dabei wird jeweils der Zustand der Eingangsparameter ausgewertet und je nach Ergebnis in den Zweig ja (0903/0904) oder nein (0905/0906) gesprungen. Sind in DATEN die Operanden nicht bereit, wird nein angesprungen. In den nächsten Schritten wird keine Operation ausgeführt, bis die Maschine nach DATEN zurückspringt und erneut ausgewertet. Stehen nun Operanden, angezeigt durch oRDY, bereit, werden die Operanden im O-REG (0907) gespeichert. Die Operanden werden verarbeitet (0908) und gleichzeitig wird ausgewertet (0909), ob es sich bei mehrzyklischen Operationen (serielle Operationen, die mehr als einen Taktzyklus benötigen), um den letzte Zyklus handelt, oder ob eine einzyklische Operation abläuft. In diesen Fällen werden die Operanden durch oACK quittiert (0910). Mit der fallenden Flanke wird ERGEBNIS synchronisiert. Dabei wird überprüft ob das Flag "Ergebnis vorhanden" gesetzt ist (0911). Dieses Flag wird immer gesetzt, wenn ein fertiges Ergebnis durch rRDY signalisiert wird (0912).

In zwei Fällen wird in den JA-Zweig (0904) gesprungen:

- Es ist kein vorhergehendes Ergebnis vorhanden (Flag "Ergebnis vorhanden" unwahr).
- Es ist ein vorhergehendes Ergebnis vorhanden (Flag "Ergebnis vorhanden" wahr) und dieses ist mit rACK quittiert. In diesem Fall (und nur in diesem Fall(!)) setzt 0902 das Ergebnis zurück (0913).

5

Ansonsten wird in den NEIN-Zweig (0906) gesprungen und keine Operation ausgeführt, bis die Zustandsmaschine nach ERGEBNIS (0902) zurückkehrt. Im JA-Zweig (0904) wird das Ergebnis in das Ausgangsregister R-REGsf gespeichert (0914). Danach wird ausgewertet ob es sich um den letzten Zyklus einer mehrzyklischen Operation handelt (0915) (vgl. 0909) oder ob eine einzyklische Operation abläuft, wenn ja, wird das Vorhandensein des Ergebnisses durch rRDY signalisiert (0916). Die Zustandsmaschine springt nach DATEN (0901) zurück. Die Erkennung ob es sich um den letzten Zyklus einer Operation – oder um eine einzyklische Operation – handelt kann über das Signal FINISH (0916) von der SM-UNIT abgefragt werden. Dieses ist aktiv, wenn der letzte – oder einzige – Zyklus stattfindet. Der SM-UNIT wird der Zustand der SYNC-UNIT über RUN (0917) signalisiert. RUN ist im Falle, daß eine Operation stattfindet aktiv, andernfalls inaktiv. Der Mechanismus des STOP-Eintrages im F-PLUREG und des daraus generierten ReConfig ist in Fig. 9 nicht dargestellt, da der Ablauf trivial ist und aus der Beschreibung der SYNC-UNIT hervorgeht.

10

15

Fig. 10 zeigt den prinzipiellen Aufbau der Power-UNIT. Das Signal Sleep wird von F-PLUREG auf einen Transistor oder eine Transistorstufe (1001) geleitet. Diese steuert die Spannungsversorgung für alle abschaltbaren Zellfunktionen. Die Sync-UNIT liefert das OneShotPowerSave-Signal (vgl. Fig. 16), über welches die Spannungsversorgung der restlichen Zellfunktionen durch einen Transistor oder eine Transistorstufe (1002) freigegeben wird. Abhängig von den tatsächlich verwendeten Funktionen in der Zelle, schalten die Transistoren oder Transistorstufen (1003) die nicht benötigten Funktionen ab (PowerDown). Verständlich ist, daß für ordentliche Spannungsversorgung und EMV-Verhalten weitere entsprechende Vorkehrungen, wie Kondensatoren etc., getroffen werden müssen.

20

Fig. 11 zeigt die Implementierung der Maschine aus Fig. 9 in das Konzept. Über die BM-UNIT (1101) werden die Signale oRDY(1/2) und rACK (vereinfacht dargestellt: tatsächlich existiert rACKh und rACKl, rACK = rACKl & rACKh) zu den CCLK-gesteuerten Latches (1102) geschaltet. Dabei sind die Latch so geschaltet, daß sie in der L-Phase (Busphase) von CCLK transparent sind und in der H-Phase (Verarbeitungsphase) den Zustand halten. Die Ausgänge der Latch stellen die Signale für die Sync-StateMachine (1103) zur Verfügung. rRDY (vereinfacht dargestellt: tatsächlich existiert rRDYh und rRDYl, diese sind vollkommen gleich, werden jedoch an verschiedene Empfänger geleitet) von (1103) wird über Tor auf den Bus geschaltet. Die Signale oACK(1/2) von (1103) werden in der BM-UNIT (1101) negiert und an die wiederum invertierenden Open-Kollektor-Bustreiber (1104) geliefert. Der Bus wird über Widerstände (1105) auf H gezogen. Die BNI-UNIT ist dabei geschaltet, daß folgende Fälle eintreten:

25

30

1. Wird der entsprechende Bus von der BM-UNIT nicht angesteuert, liegt an der Basis der Transistoren (1104) L an. Dadurch belasten sie den Bus nicht.
2. Wird der entsprechende Bus von der BM-UNIT angesteuert, und das Signal nicht quittiert, liegt an der Basis der Transistoren (1104) H an. Das bedeutet, daß der Bus auf L gezogen wird. Wird ein Ergebnis per Broadcasting an mehrere Datenempfänger verteilt, so ziehen alle PAEs, die die Ergebnisdaten noch nicht quittiert haben und Wartezyklen benötigen den Bus auf L.
3. Wird der entsprechende Bus von der BM-UNIT angesteuert, und das Signal quittiert, liegt an der Basis der Transistoren (1104) L an. Das bedeutet, daß der Bus nicht belastet wird. Wird ein Ergebnis per Broadcasting an mehrere Datenempfänger verteilt, so belasten alle PAEs, die die Ergebnisdaten quittiert haben und keine Wartezyklen benötigen den Bus nicht.

35

40

Da der Bus in seinem Grundzustand den H-Pegel, also die Quittierung einnimmt übersteuert die Nichtquittierung gemäß Fall 2 die Quittierung, in dem sie den Bus auf L zieht. Dabei geht der Bus erst dann in den H-Pegel, also in den Quittierungszustand, wenn alle PAEs quittieren. Es ist somit eine Wired-AND-Schaltung realisiert. Die Sync-StateMachine stellt das Signal RUN (1107) der SM-UNIT (1106) zur Verfügung. Diese läuft aufgrund von RUN an. Befindet sich die SM-UNIT im letzten – oder einzigen – Zyklus einer Verarbeitung, so signalisiert sie dies über FINISH (1108) an die Sync-StateMachine. FINISH wird in den Auswerteeinheiten zur Erkennung des letzten Zyklus (0907, 0915) ausgewertet. Die SM-UNIT läuft synchron zum PAE-internen Takt CLK.

45

50

Fig. 12 zeigt den Aufbau der BM-UNIT. Abhängig von den Einträgen in das M-PLUREG schalten die Multiplexer (1201, 1202) die Operanden vom internen Bus (1203) zu den O-REG. Ebenfalls schalten die Tore (1204, 1205) die untere und obere Hälfte des Ergebnisses auf den Bus. Der Multiplexer 1206 schaltet die oRDY(1/2) gemäß der Stellung von 1201 und 1202 und rACK gemäß der Stellung von 1204 und 1205 vom Bus in die PAE. Dabei werden die rACK beider Datenempfänger miteinander verUNDet. Existiert nur ein Datenempfänger, so ist der Multiplexer so geschaltet, daß er statt des fehlenden rACK eine logische 1 zurückgibt. 1207 beinhaltet ein Gate zum Aufschalten der Signale oACK(1/2) und rRDY auf den Bus. Dabei werden die Signale oACK(1/2) zunächst invertiert und dann über Open-Kollektor-Treiber (1104) auf den Bus geschaltet.

55

Fig. 13 verdeutlicht den Aufbau eines O-MUX. Dabei existiert ein 3 : 5 Dekoder (1301) zum Auswerten der Mode2...0 Signale aus dem M-PLUREG. Der Multiplexer ist über UND-Gatter (1302) mit nachgeschaltetem ODER-Gatter (1303) aufgebaut. Das Auswertesignal von Mode2...0 = 000 des Dekoders (1301) ist dabei direkt auf die ODER-Gatter geschaltet (1304). Das bewirkt, daß in offenem Zustand, d. h. keine Verbindung zu einem Bussystem, immer logisch 1 zurückgeliefert wird. (Vgl. mit Fig. 12 rACK). Zur Vereinfachung ist nur eine reduzierte Busgröße dargestellt.

65

In Fig. 14 ist der Aufbau eines R-GATE dargestellt. Dabei existiert ein 3 : 4 Dekoder (1401) zum Auswerten der Mode2...0 Signale aus dem M-PLUREG. Das Auswertesignal von Mode2...0 = 000 des Dekoders wird nicht verwendet. Dadurch wird keine Busverbindung bei dieser Bit-Kombination hergestellt. Die Gates (1402) sind entweder

durch UND-Gatter oder Transmisson-Gates (vgl. 0701) aufgebaut. Dabei ist eine Verstärkerstufe zum Treiben der Buslast vor- oder nachgeschaltet. Zur Vereinfachung ist nur eine reduzierte Busgröße dargestellt.

Die StateBack-UNIT ist in Fig. 15 dargestellt. Gemäß der Einstellung im M-PLUREG schaltet ein Multiplexer (1501) entweder die Signale CarryOut-AlessB, AequalB-0detect von der EALU oder die Ausgänge des R-REG R-REGD2 ... 0 durch. Die Signale gelangen an eine Open-Kollektor-Transistor-Stufe (1502) und werden auf den PLU-Bus geschaltet. Dabei benötigt der PLU-Bus externe, nahe der PLU positionierte Pull-Up-Widerstände (1503). Das Latch 1504 ist optional. Wird es in die Ausgangssignale von 1501 eingeschleift, werden diese erst auf den Bus (1503) geschaltet, nachdem der Datenempfänger die Daten über rACK quittiert hat. Dadurch wird bewirkt daß die Bereitschaft zur Umkonfiguration über die Statussignale erst angezeigt wird, wenn die Daten auch angenommen wurden. Normalerweise wird dies durch das Zusammenspiel von STOP und ReConfig in der Sync-UNIT geregelt; daher ist das Latch optional. Das rACK wird dabei als Latch-Takt verwendet. Dabei ist das Latch bei rACK = 1 transparent und speichert bei rACK = 0.

Fig. 16 verdeutlicht die Funktionsweise des OneShot-MODE. Über einen Multiplexer (1601) schalten die Signale

- Vcc
- oRDY1
- oRDY2
- (oRDY1 & rACK)

abhängig von der Einstellung im F-PLUREG den Zell-Takt frei. Dabei bewirkt die Freischaltung über Vcc, daß der Takt immer läuft (siehe Timing-Diagramm "Normaler Betrieb"). In den 3 übrigen Modi läuft der Takt erst an, wenn die Signale, oder Signalkombinationen den Takt freigeben. Die Freigabe wird durch ein Latch (1602) auf den Takt CCLK synchronisiert, damit die Phase nicht vorzeitig abbricht, wenn das Freigabesignal zu kurz ist. Dabei ist das Latch in der L-Phase von CCLK transparent und hält den Wert in der H-Phase. Das Freigabesignal gelangt auf das UND-Gatter-Paar (1603 und 1604), das den Takt freigibt. Über einen Inverter (1605) wird das invertierte Taktsignal iCLK erzeugt, CLK läuft um die Phasengleichheit zu gewährleisten durch ein Verzögerungsglied (1606) (siehe Timing-Diagramm "One-Shot Betrieb"). Dabei wird CCLK in der Zuleitung zu 1604 über zwei Verzögerungszeitungen (1610) verzögert um Phasengleichheit zum an 1603 anliegenden CCLK, das durch den Multiplexer (1608) verzögert wurde, zu gewährleisten. Wird eine PAE in den PowerSave-Mode gebracht, wird die Versorgungsspannung der Zelle weitgehend ausgeschaltet. Dies geschieht über das ODER-Gatter 1611. Ist der PowerSave-MODE eingeschaltet, d. h. PowerSave = 1, führt das negierte Signal L. Ist zudem der OneShot-MODE eingeschaltet und das Register 1602 auf L, wird über das OneShotPowerSave-Signal der Spannungsversorgungstransistor in der Power-UNIT (vgl. Fig. 17) abgeschaltet. Steht das Register 1602 jedoch auf logisch 1 (oder PowerSave = 0), wird der Spannungsversorgungstransistor über 1611 eingeschaltet. Die folgende Tabelle gibt einen Überblick über die Funktion:

PowerSave	Latch (1602)	Spannung	Bemerkung
L	X	an	
H	L	aus	nur wenn OneShot-MODE gesetzt!
H	H	an	

Beim Einschalten der Versorgungsspannung entsteht eine zeitlich bestimmte Aufwachzeit, bis die Zelle arbeitsfähig ist. Um dennoch ordentlich zu funktionieren, müssen die Signale entsprechend verzögert werden. Hierzu wird CCLK über eine Verzögerungsleitung (1607) geleitet. Ein Multiplexer (1608) wählt entsprechend dem Signal PowerSave aus F-PLUREG aus, ob der normale oder verzögerte Takt an die Zelle geleitet wird. Verzögert wird nur der nicht invertierte Takt um den Zeitraum $\Delta\text{PowerOn}$, der invertierte Takt wird nicht verzögert. Dadurch steht das Ergebnis synchron zu den restlichen Bausteinfunktionen zur Verfügung. Dadurch verringert sich die nutzbare Verarbeitungszeit auf $\Delta\text{process}$. Die maximale Taktfrequenz des Bausteines hängt somit von $\Sigma = \Delta\text{PowerOn} + \Delta\text{process}$ ab (siehe Timing-Diagramm "One-Shot Betrieb mit PowerSave").

5. Begriffsdefinition

AequalB-0detect: Durch die EALU generiertes Signal, das bei arithmetischen Operationen anzeigt, daß das Ergebnis gleich null ist. Bei Vergleichen wird angezeigt, daß Operand A gleich Operand B ist.

ALU: Arithmetisch logische Einheit. Grundeinheit zum Verarbeiten von Daten. Die Einheit kann arithmetische Operationen wie Addition, Subtraktion, unter Umständen auch Multiplikation, Division, Reihenentwicklungen usw. durchführen. Dabei kann die Einheit als ganzzahlige (integer) Einheit oder als Fließkomma-(floating-point)-Einheit gestaltet sein. Ebenfalls kann die Einheit logische Operationen, wie UND, ODER, sowie Vergleiche durchführen.

BM-UNIT: Einheit zum Aufschalten der Daten auf die Bussysteme außerhalb der PAE. Das Aufschalten geschieht über Multiplexer für die Dateneingänge und Tore für die Datenausgänge. oACK-Leitungen sind als Open-Kollektor-Treiber implementiert. Die BM-UNIT wird durch das M-PLUREG gesteuert.

Broadcast: Senden von Daten einer PAE an mehrere Datenempfänger.

CarryOut-AlessB: Durch die EALU generiertes Signal, das bei arithmetischen Operationen einen Übertrag anzeigt. Bei Vergleichen wird angezeigt, daß Operand A kleiner als Operand B ist.

Datenempfänger: Die Einheit(en), die Ergebnisse der PAE weiterverarbeitet/-arbeiten.

Datensender: Die Einheit(en), die Daten für die PAE als Operanden zur Verfügung stellt/stellen.

D-FlipFlop: Speicherelement, welches ein Signal bei der steigenden Flanke eines Taktes speichert.

EALU: Erweiterte arithmetisch logische Einheit. ALU, die um Sonderfunktionen, die zum Betrieb einer Datenverar-

beitungseinrichtung gemäß DE 441 16 881 A1 benötigt werden oder sinnvoll sind erweitert wurde. Dies sind insbesondere Zähler.

FPGA: Programmierbarer Logikbaustein. Stand der Technik.

F-PLUREG: Register in dem die Funktion der PAE gesetzt wird. Ebenfalls wird der OneShot- und Sleep-Mode gesetzt. Das Register wird von der PLU beschrieben.

Gate: Gruppe von Transistoren, die eine logische Grundfunktion durchführen. Grundfunktionen sind z. B. NAND, NOR, Transmission-Gates.

H-Pegel: Logisch 1 Pegel, abhängig von der verwendeten Technologie.

Handshake: Signalprotokoll, bei dem ein Signal A einen Zustand anzeigt und ein anderes Signal B bestätigt, daß es Signal A akzeptiert und darauf, reagiert (hat).

Konfigurieren: Bestimmen der Funktion und Vernetzung einer logischen Einheit, einer (FPGA)-Zelle oder einer PAE (vgl. umkonfigurieren).

Latch: Speicherelement, das ein Signal für gewöhnlich während des H-Pegels transparent weiterleitet und während des L-Pegels speichert. In PAEs werden teilweise Latches gebraucht, bei denen die Funktion der Pegel genau umgekehrt ist. Hierbei wird vor den Takt eines üblichen Latch ein Inverter geschaltet.

L-Pegel: Logisch 0 Pegel, abhängig von der verwendeten Technologie.

M-PLUREG: Register in dem die Vernetzung der PAE gesetzt wird. Das Register wird von der PLU beschrieben.

Next-Neighbour Vernetzung: Vernetzung der Bussysteme mit den an den Kanten anstoßenden Nachbarn.

O-MUX: Multiplexer innerhalb der BM-UNIT, der das Bussystem der Operanden auswählt.

OneShot: Modus in dem eine PAE mit einem geringeren als dem Prozessortakt arbeitet. Der Takt ist synchron zum Prozessortakt und entspricht einer Periode. Eine Phasenverschiebung existiert nicht. Der Takt wird über eines der Signale $\text{ORDY}(1/2)$ oder rRDY freigegeben. Dieser Modus dient der Stromeinsparung, wenn die Datensender oder -empfänger langsamer als der Prozessortakt Daten senden oder empfangen.

Open-Kollektor: Schaltungstechnik, bei der der Kollektor eines Transistors an einem, über einen Pullup auf den H-Pegel gezogenen, Bussignal liegt. Der Emittor der Transistors liegt auf Masse. Schaltet der Transistor, so wird das Bussignal auf den L-Pegel gezogen. Vorteil des Verfahrens ist, daß eine Mehrzahl solcher Transistoren den Bus ohne elektrische Kollision steuern können. Dabei sind die Signale ODER-verküpft, es entsteht das sog. wired-OR.

O-REG: Operandenregister zur Speicherung der Operanden der EALU. Ermöglicht die zeitliche und funktionelle Unabhängigkeit der PAE von den Datensendern. Dadurch wird der Transfer der Daten vereinfacht, da er asynchron oder paketorientiert stattfinden kann. Gleichzeitig wird die Möglichkeit geschaffen die Datensender unabhängig von der PAE oder die PAE unabhängig von den Datensendern umzukonfigurieren.

O-REGsft: O-REG mit durch SM-UNIT gesteuertem Schieberegister.

PA: Processing Array: Array aus PAEs.

PAE: Processing Array Element: EALU mit O-REG, R-REG, R2O-MUX, F-PLUREG, M-PLUREG, BM-, SM-, Sync-, StateBack- und Power-UNIT.

PLU: Einheit zum Konfigurieren und Umkonfigurieren der PAE. Ausgestaltet durch einen speziell an seine Aufgabe angepaßten Mikrokontroller.

PowerSave-MODE: Stromsparmodus Modus innerhalb des OneShot-MODE. Während keine Operation ausgeführt wird werden alle Teile der PAE mit Ausnahme des F-, M-PLUREG und Sync-UNIT nicht mit Spannung versorgt.

Power-UNIT: Einheit die die Stromsparfunktionen regelt.

PullDown: Widerstand, der eine Busleitung auf einen L-Pegel zieht.

PullUp: Widerstand, der eine Busleitung auf einen H-Pegel zieht.

R-GATE: Schalter innerhalb der BM-UNIT, der das Ergebnis auf das entsprechende Bussystem aufschaltet. Dabei sind einige Signale über als Open-Kollektor-Treiber aufgeschaltet. Das R-GATE arbeitet als Bustreiber und kann in einen busneutralen Modus gehen.

R2O-MUX: Multiplexer zum Einschleifen des Ergebnisses in einem R-REG-sft in den Datenpfad zwischen O-REG und EALU.

R-REGsft: Ergebnisregister zur Speicherung des Ergebnis der EALU. Ermöglicht die zeitliche und funktionelle Unabhängigkeit der PAE von den Dateneempfängern. Dadurch wird der Transfer der Daten vereinfacht, da er asynchron oder paketorientiert stattfinden kann. Gleichzeitig wird die Möglichkeit geschaffen die Dateneempfänger unabhängig von der PAE oder die PAE unabhängig von den Dateneempfängern umzukonfigurieren. Das Register ist mit einer Schiebefunktion versehen, die von der SM-UNIT gesteuert wird.

serielle Operationen: Operationen, die durch serielles Abarbeiten eines Datenwortes oder eines Algorithmus durchgeführt werden. Serielle Multiplikation, serielle Division, Reihenentwicklung

Sleep-MODE: Stromsparmodus in dem die PAE mit Ausnahme von F-PLUREG ohne Spannung ist.

SM-UNIT: StateMachine-UNIT. Zustandsmaschine, die die EALU steuert.

StateBack-UNIT: Einheit, die die Rückmeldung der Statussignale an die PLU steuert. Bestehend aus einem Multiplexer und einer Open-Kollektor-Bustreiberstufe

Sync-UNIT: Einheit, die die Synchronisation der PAE mit den Datensendern und -empfängern übernimmt, sowie das Umkonfigurieren von PAEs überwacht. Gleichzeitig werden die OneShot-Funktionen übernommen.

Tor: Schalter, der ein Signal weiterleitet oder sperrt. Einfacher Vergleich: Relais

Umkonfigurieren: Neues Konfigurieren von einer beliebigen Menge von PAEs während eine beliebige Restmenge von PAEs ihre eigenen Funktionen fortsetzen (vgl. konfigurieren).

Zustandsmaschine: Logik, die diversen Zuständen annehmen kann. Die Übergänge zwischen den Zuständen sind von verschiedenen Eingangsparametern abhängig. Diese Maschinen werden zur Steuerung komplexer Funktionen eingesetzt und entsprechen dem Stand der Technik.

6. Konventionen

6.1 Namenskonvention

- 5 Baugruppe: -UNIT
 Betriebsart: -MODE
 Multiplexer: -MUX
 Negiertes Signal: not-
 Register für PLU sichtbar: -PLUREG
 10 Register intern: -REG
 Schieberegisters: -sft

6.2 Funktionskonvention

- 15 Schieberegister: sft
 UND-Funktion: &

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

- 25 ODER-Funktion #

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

NICHT-Funktion !

A	Q
0	1
1	0

TOR-Funktion G

EN	D	Q
0	0	-
0	1	-
1	0	0
1	1	1

Patentansprüche

1. Konfigurierbare und zur Laufzeit umkonfigurierbare Einheit zur Verarbeitung von numerischen und logischen Operationen (PAE), zum Einsatz in Prozessoren (CPUs), Mehrrechnersystemen, Datenflußprozessoren (DFPs), Digitalen Signal Prozessoren (DSPs), systolischen Prozessoren und programmierbaren Logikbausteinen (FPGAs), gesteuert von einer Ladelogik (PLU), **dadurch gekennzeichnet**, daß
1. eine programmierbare Recheneinheit (EALU) zur Durchführung der mathematischen und logischen Grundfunktionen besteht,
 2. die Funktion und Vernetzung der Recheneinheit in Register programmiert wird und eine Vielzahl von Daten, ohne Umprogrammierung der PAE, verarbeitet werden kann,
 3. zur Steuerung der Recheneinheit (EALU) eine Zustandsmaschine (SM-UNIT) existiert,
 4. Register für jeden Operanden (O-REG) und das Ergebnis (R-REG) bestehen, wobei die Register teilweise als Schieberegister ausgeführt werden können,
 5. eine Rückkopplung der Daten des Ergebnisregisters auf einen Eingang der EALU über einen Multiplexer (R2O-MUX) besteht,
 6. eine Buseinheit (BM-UNIT) den Abgriff der Daten von einem Bussystem ermöglicht bzw. das Einspeisen des Ergebnisses auf ein Bussystem, wobei die Buseinheit Daten an mehrere Empfänger versenden kann und die Synchronisierung auch mehrerer Empfänger automatisch erfolgt,

7. der Buszugriff von der Datenverarbeitung in der EALU über die Register entkoppelt ist und somit jede PAE als unabhängige Einheit betrachtet werden kann, ins besondere die Konfiguration und Umkonfiguration eine PAE keinen störenden Einfluß auf die Datensender und -empfänger, sowie die unabhängigen PAEs hat,
8. der Ablauf der Bustransfers über eine Zustandsmaschine (SYNC-UNIT) automatisch gesteuert wird und dafür die Handshake-Leitungen oRDY, oACK, rRDY und rACK zur Verfügung stehen, 5
9. Rückmeldungen an die PLU zur Erkennung des Zustandes der Verarbeitung und der Umkonfigurierbarkeit der PAE erfolgen (StateBack-UNIT).
2. Einheit nach Anspruch 1, dadurch gekennzeichnet, daß die Datenverarbeitung einer PAE angehalten werden kann (Eintrag STOP in F-PLUREG) und die PAE daraufhin nach Vollendung der gerade laufenden Datenverarbeitung ihre Bereitschaft zur Umkonfiguration anzeigt (ReConfig). 10
3. Einheit nach Anspruch 1, dadurch gekennzeichnet, daß Stromsparmodi existieren,
 - in welchen die PAE immer nur dann arbeitet, wenn Operanden vom Datensender am Eingang bereitstehen und das Ergebnis bereits vom Empfänger angenommen wurde, und die PAE ansonsten ohne Takt statisch bleibt,
 - in welchen Teilbereiche der PAE, die zur Ausführung der momentanen Datenverarbeitung irrelevant sind, 15
 - von der Takt- und/oder Stromversorgung getrennt sind,
 - in welchen die PAE von der Spannungsversorgung getrennt ist. 15

Hierzu 16 Seite(n) Zeichnungen

20

25

30

35

40

45

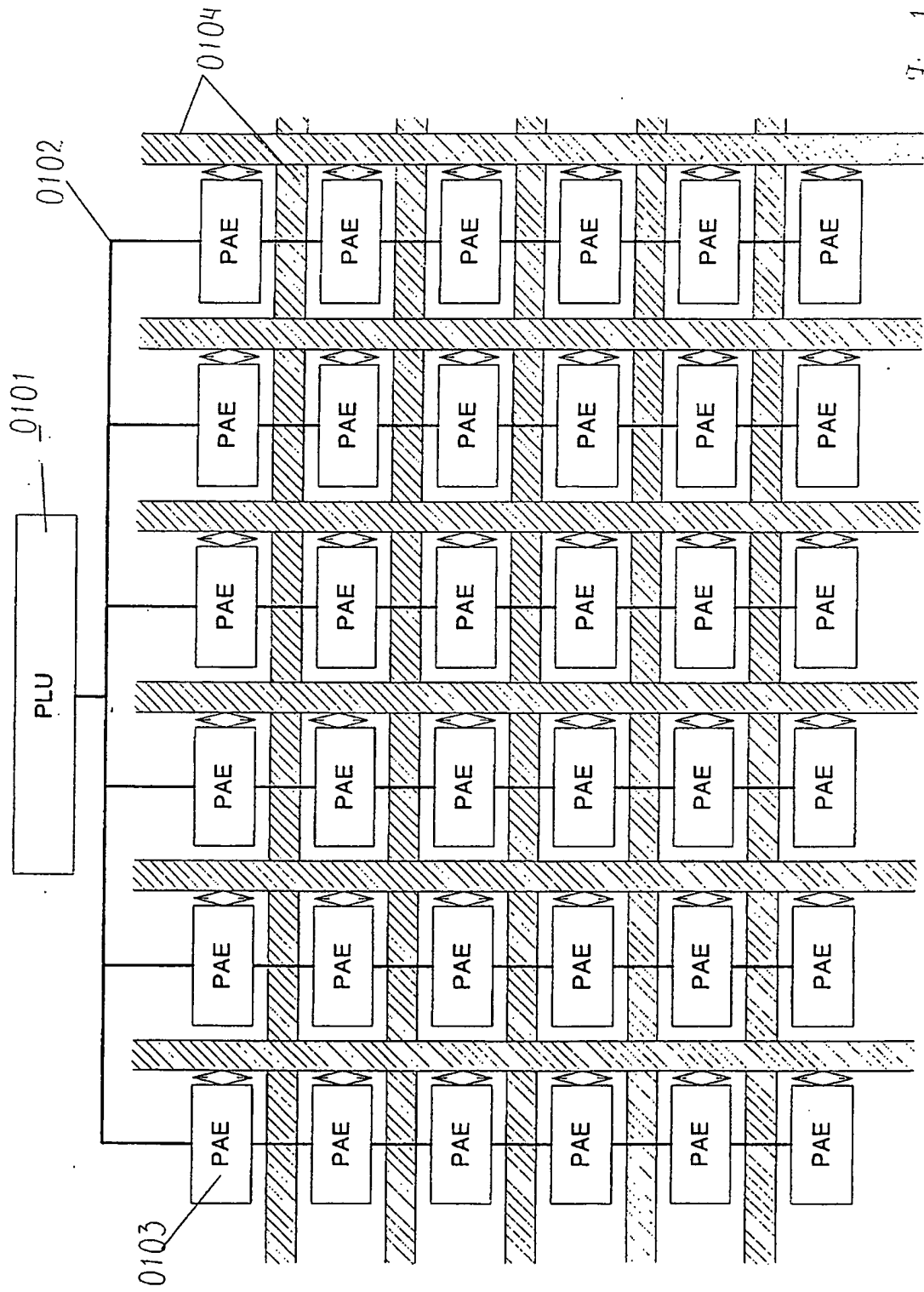
50

55

60

65

- Leerseite -



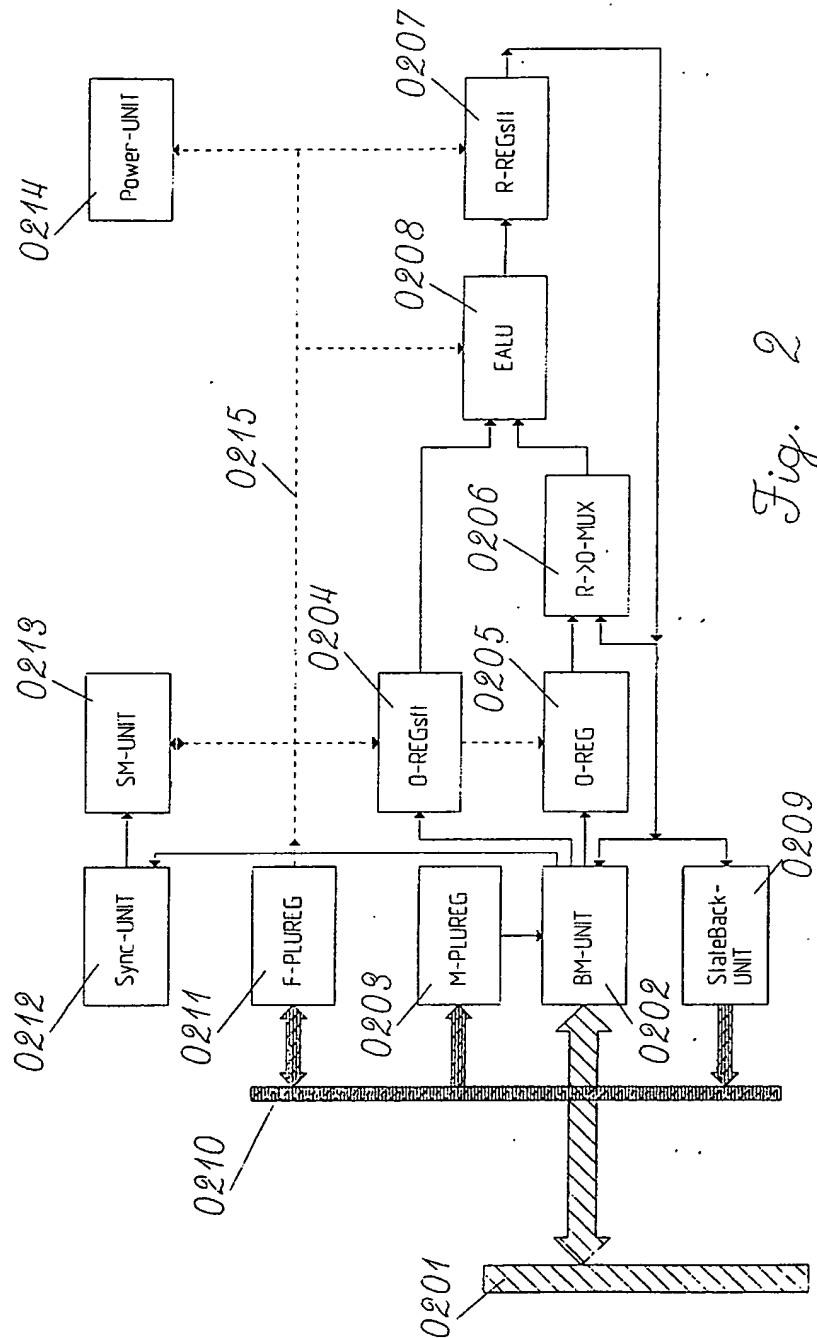
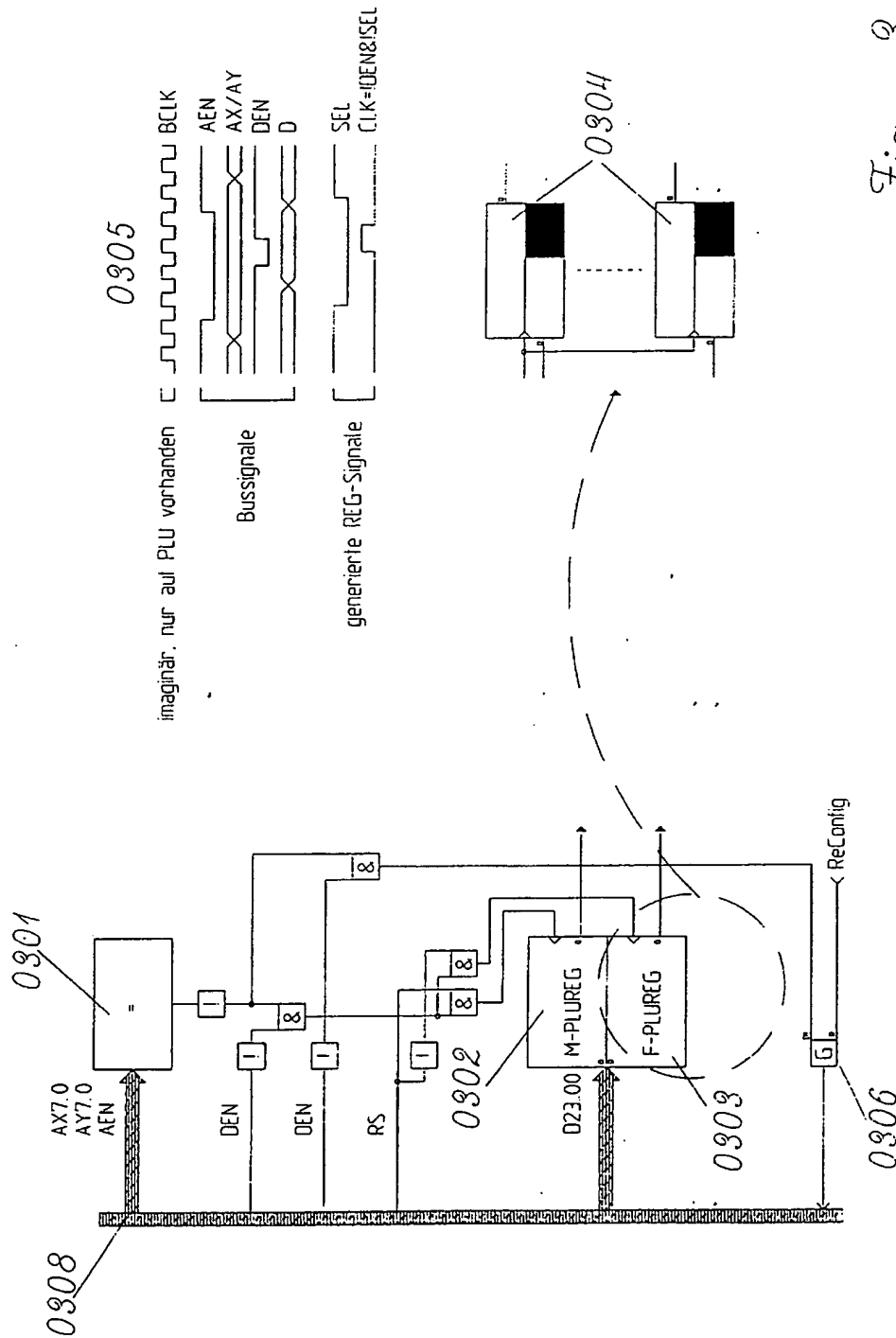


Fig. 2



O-REG

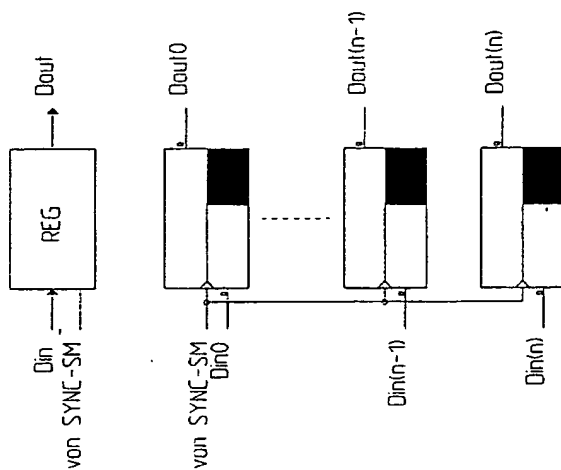
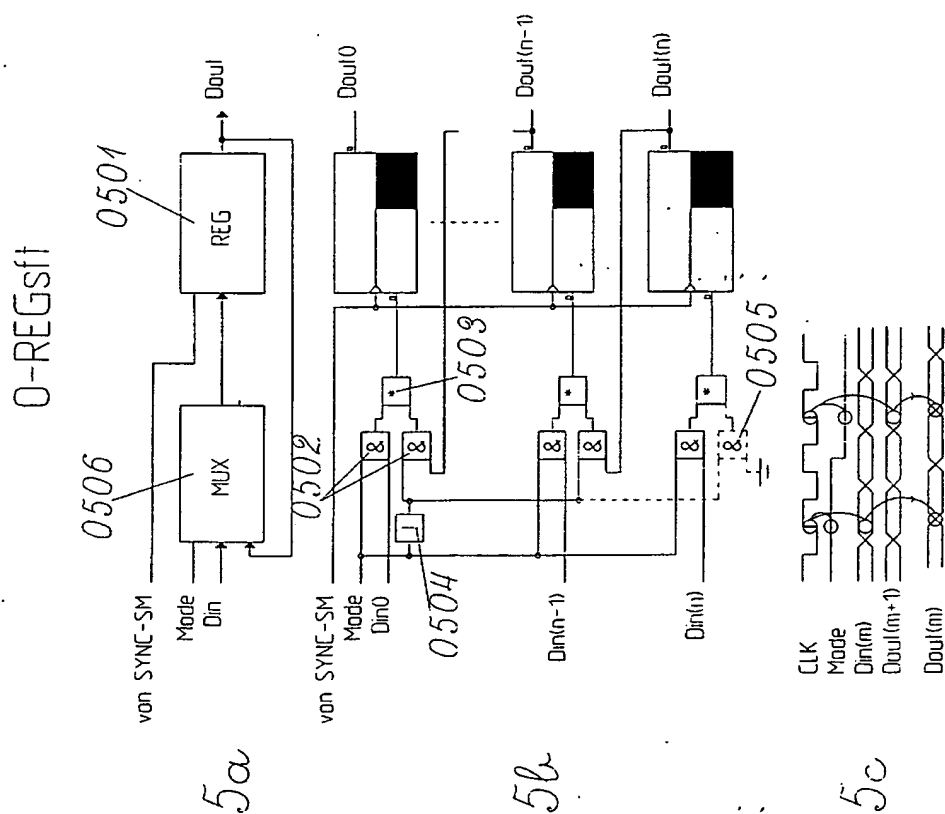
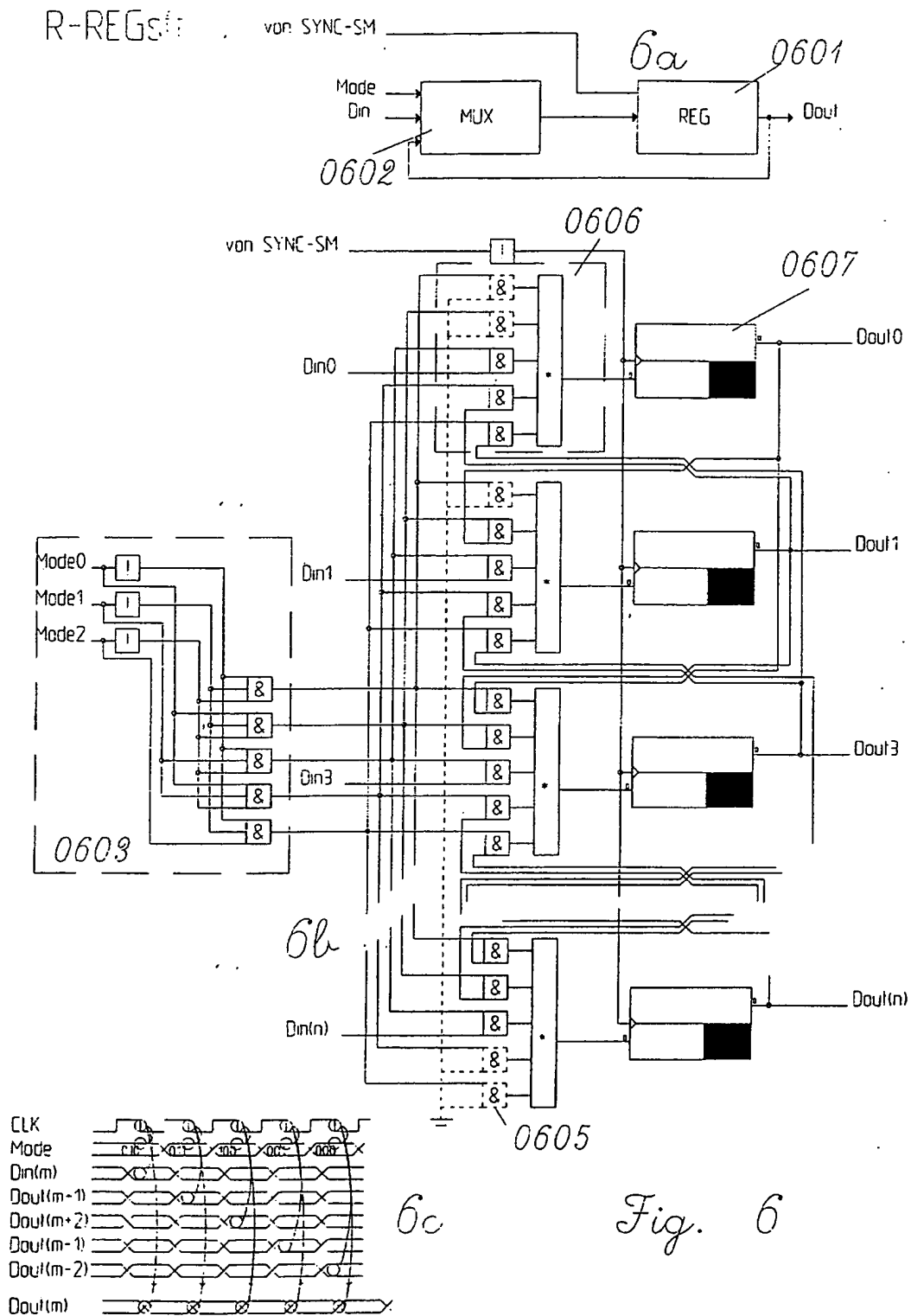


Fig. 4

Fig. 5





R20-MUX

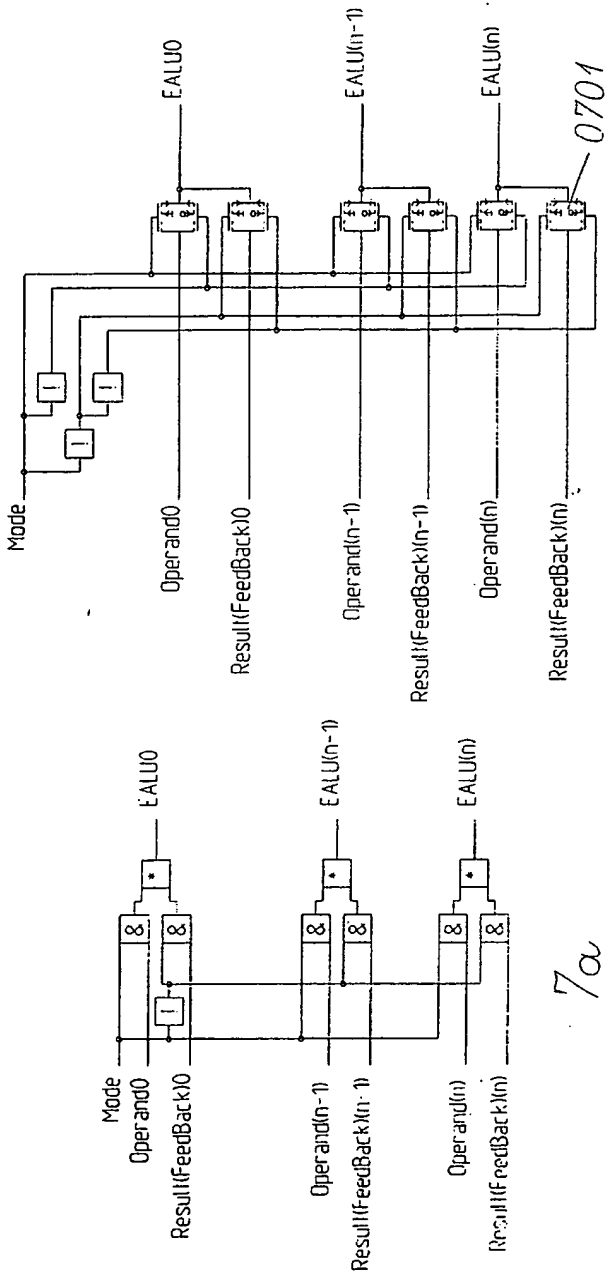


Fig. 7

Taktsynchronisation und Verzögerung

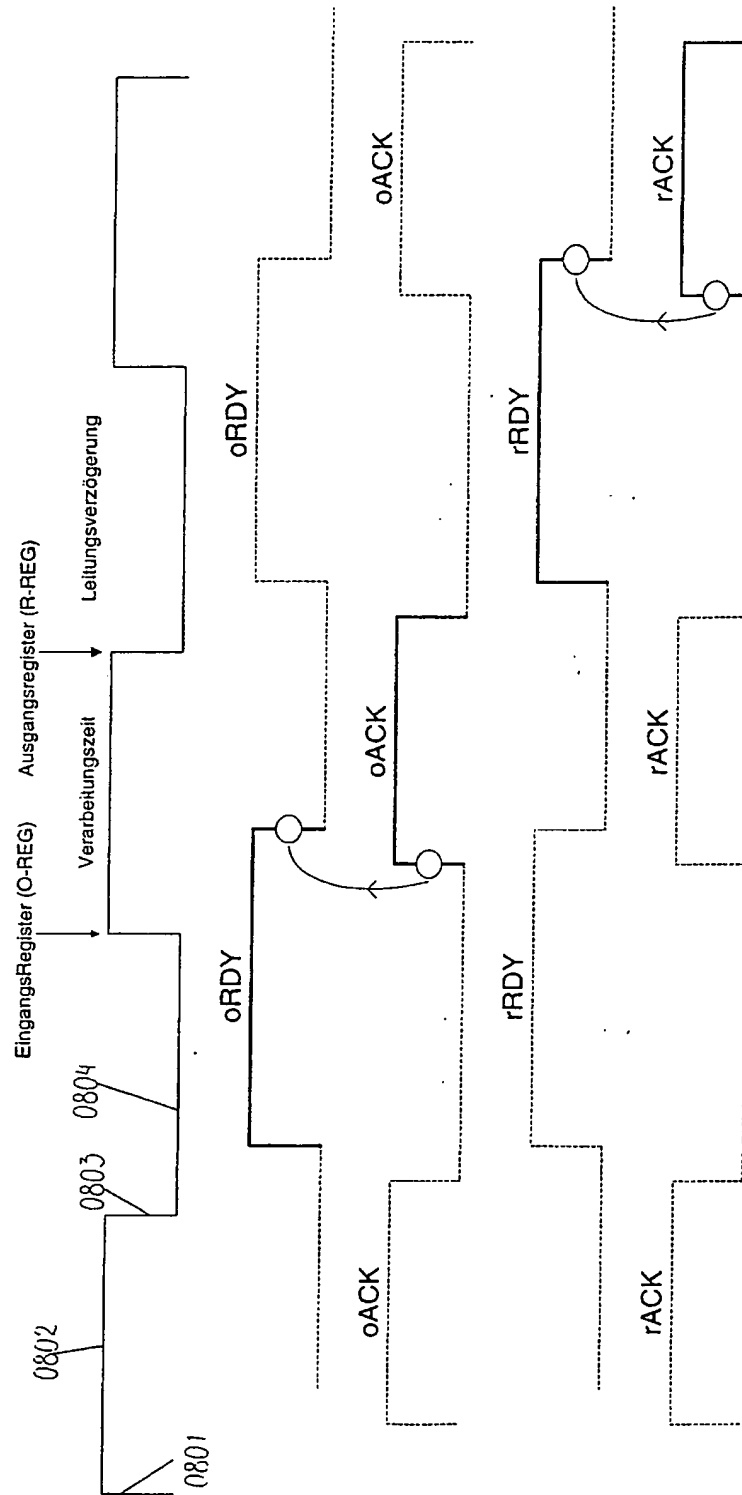
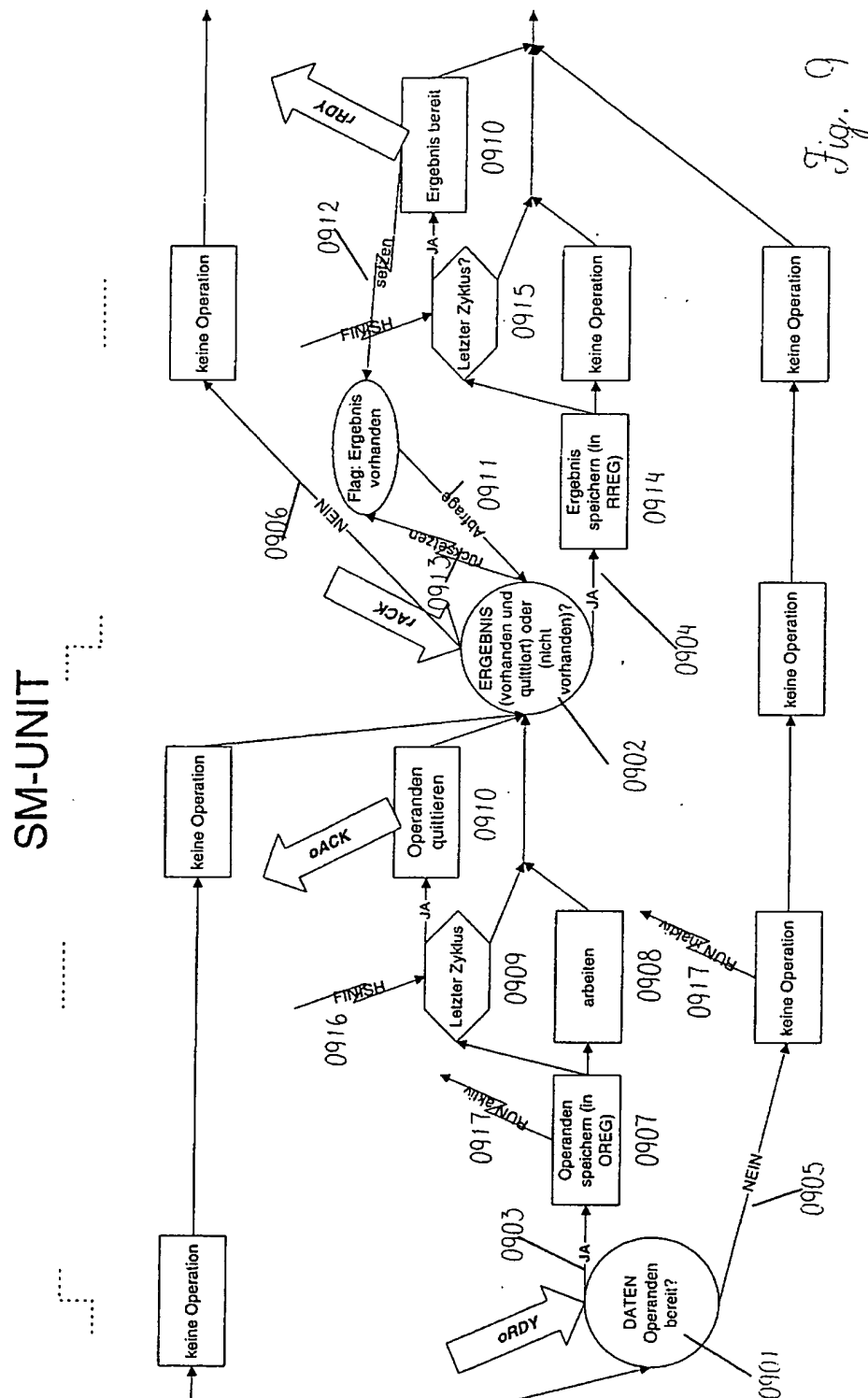


Fig 8



Power-UNIT

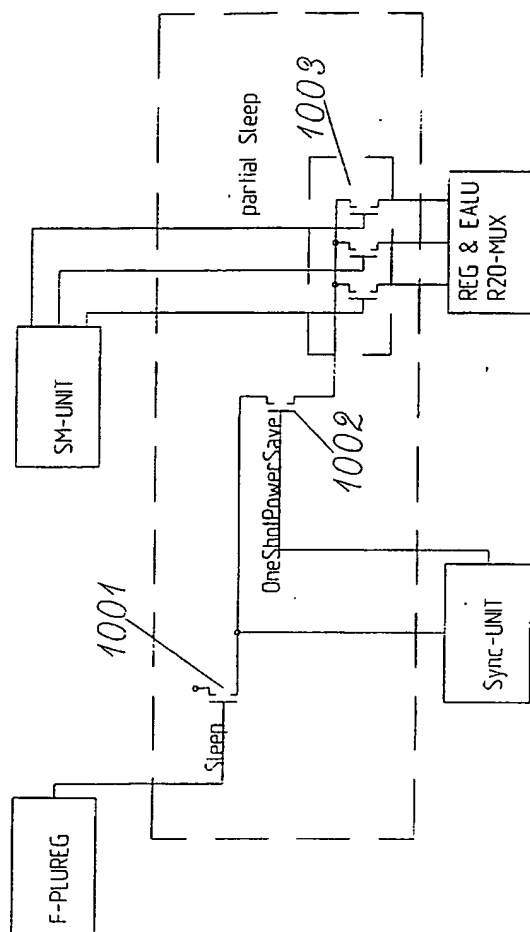


Fig. 10

Sync-UNIT mit StateMachine2

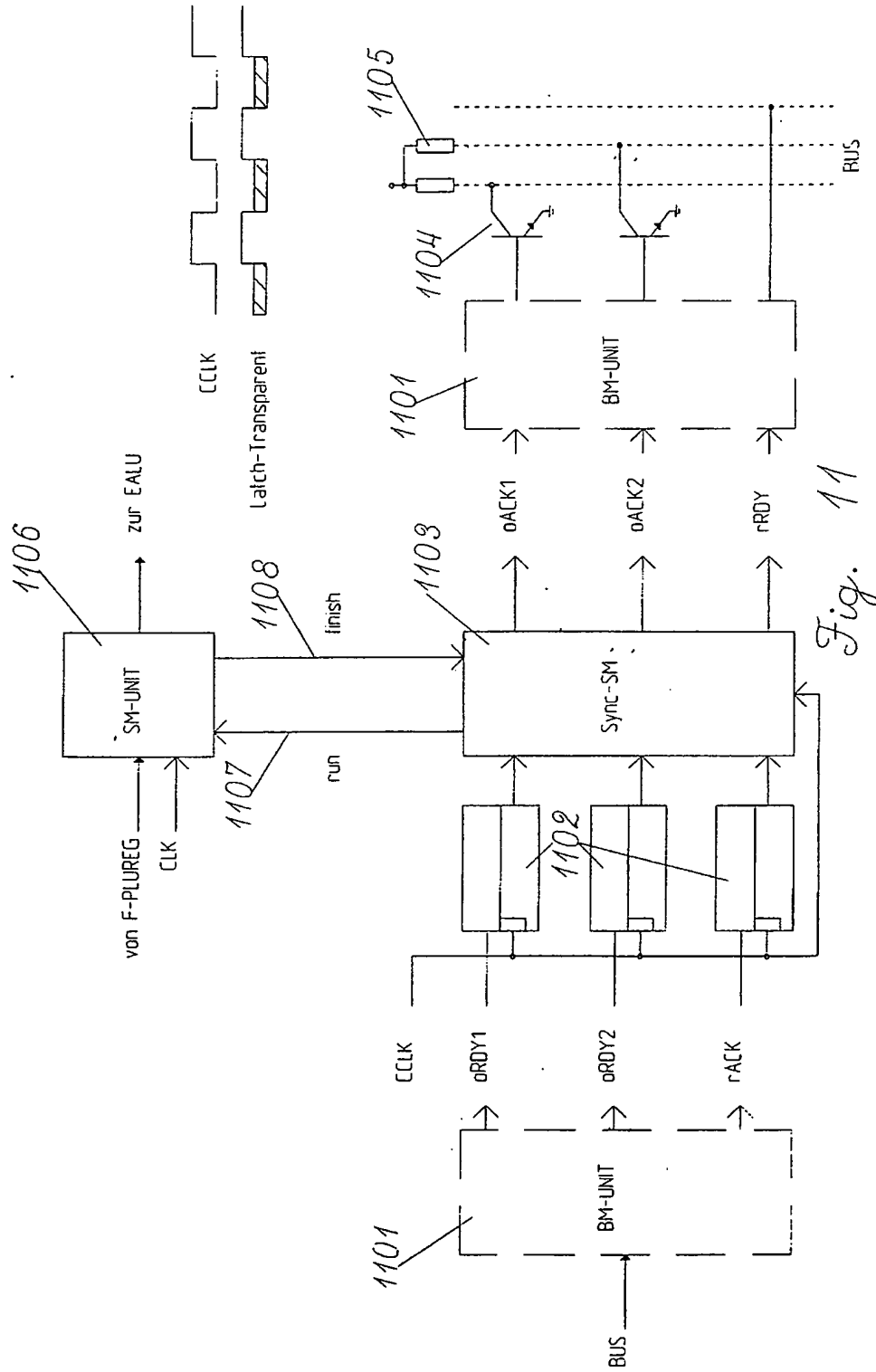
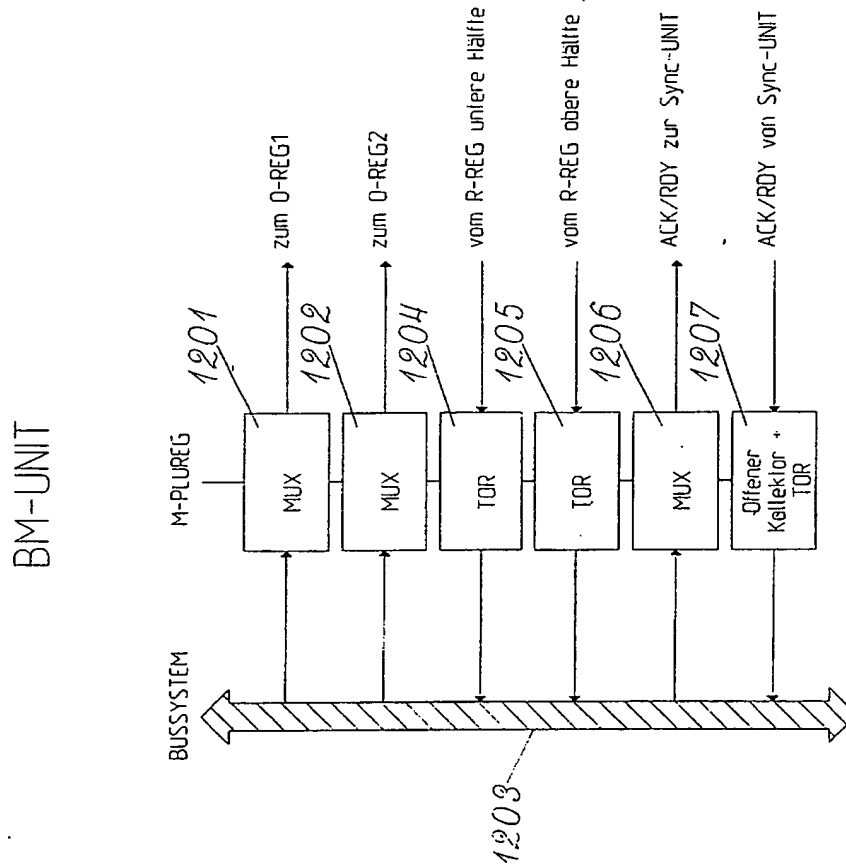


Fig. 11

Fig. 12



O-MUX

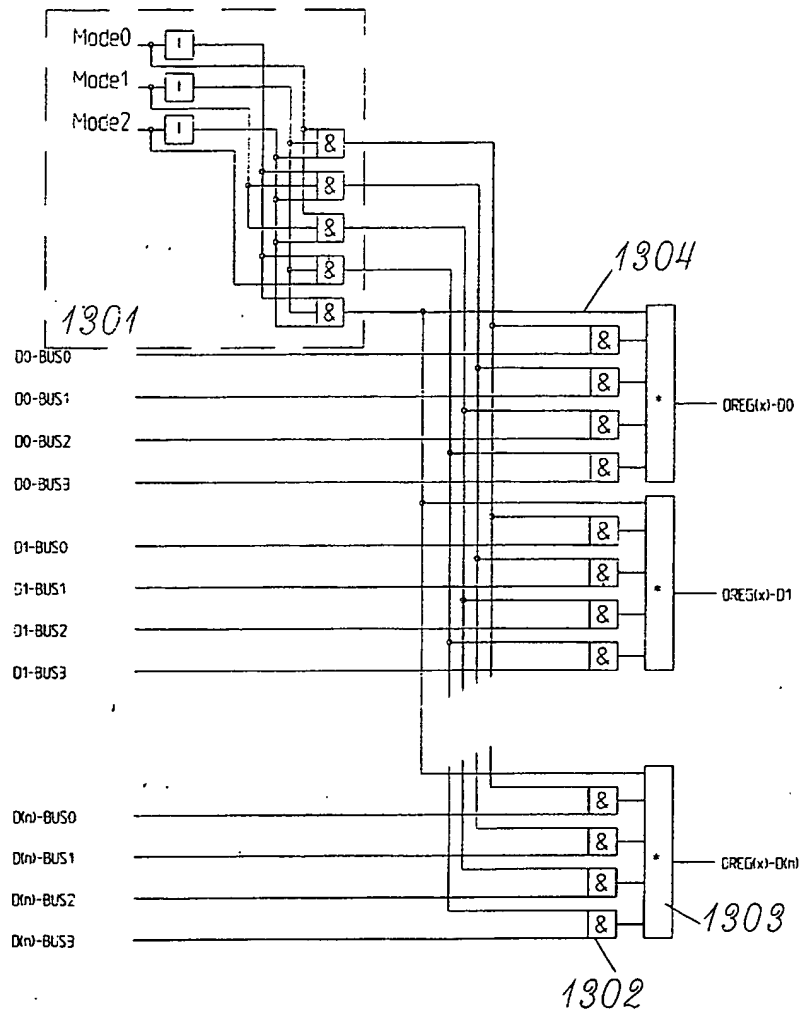


Fig. 13

R-GATE

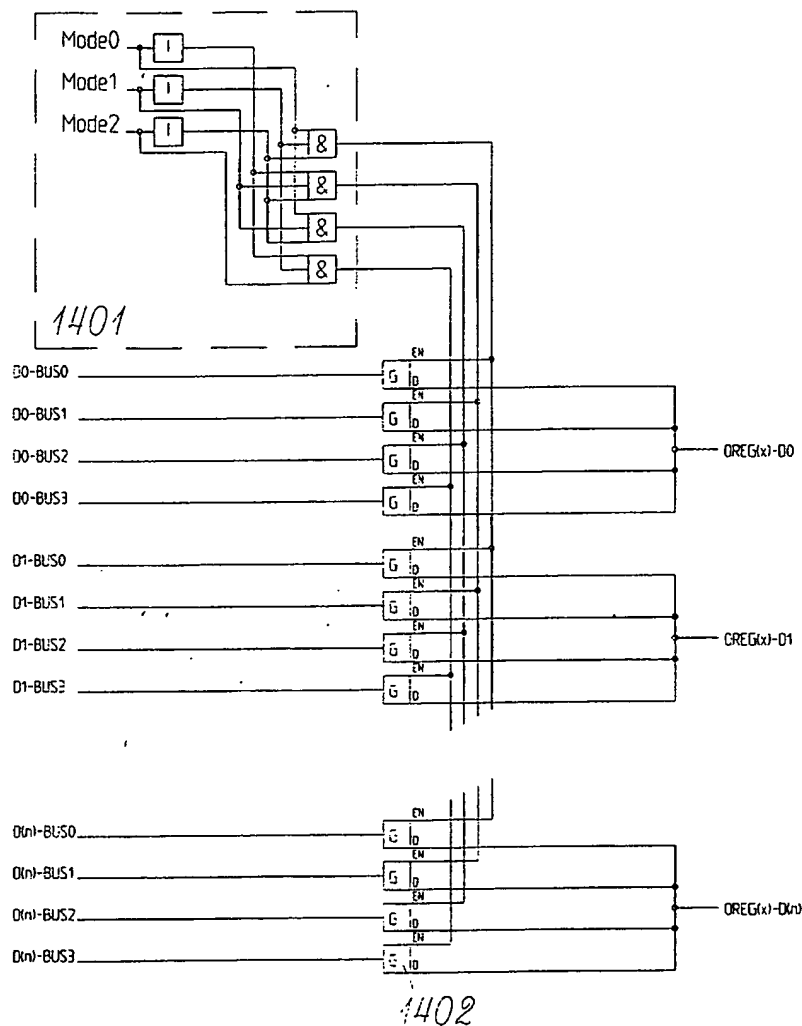


Fig. 14

StateBack-UNIT

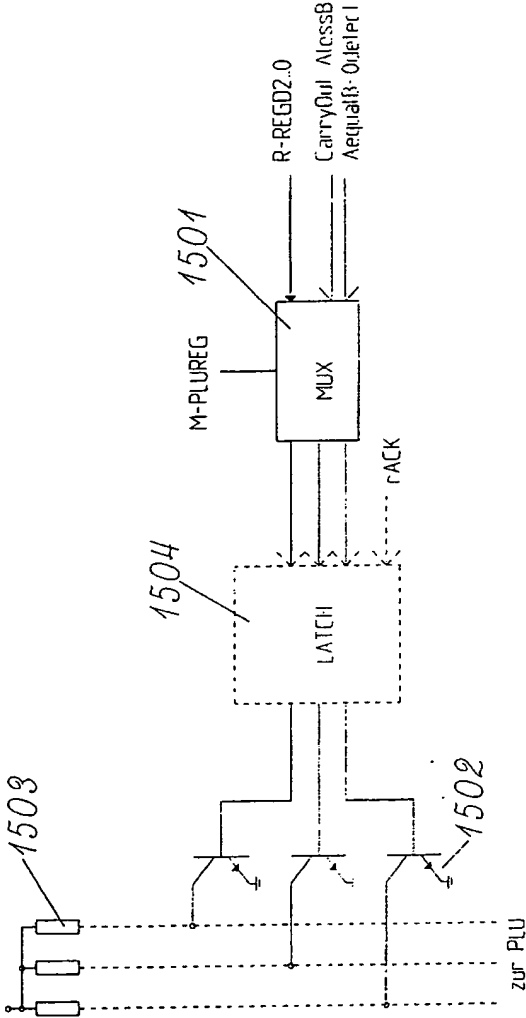


Fig. 15

OneShot-Mode

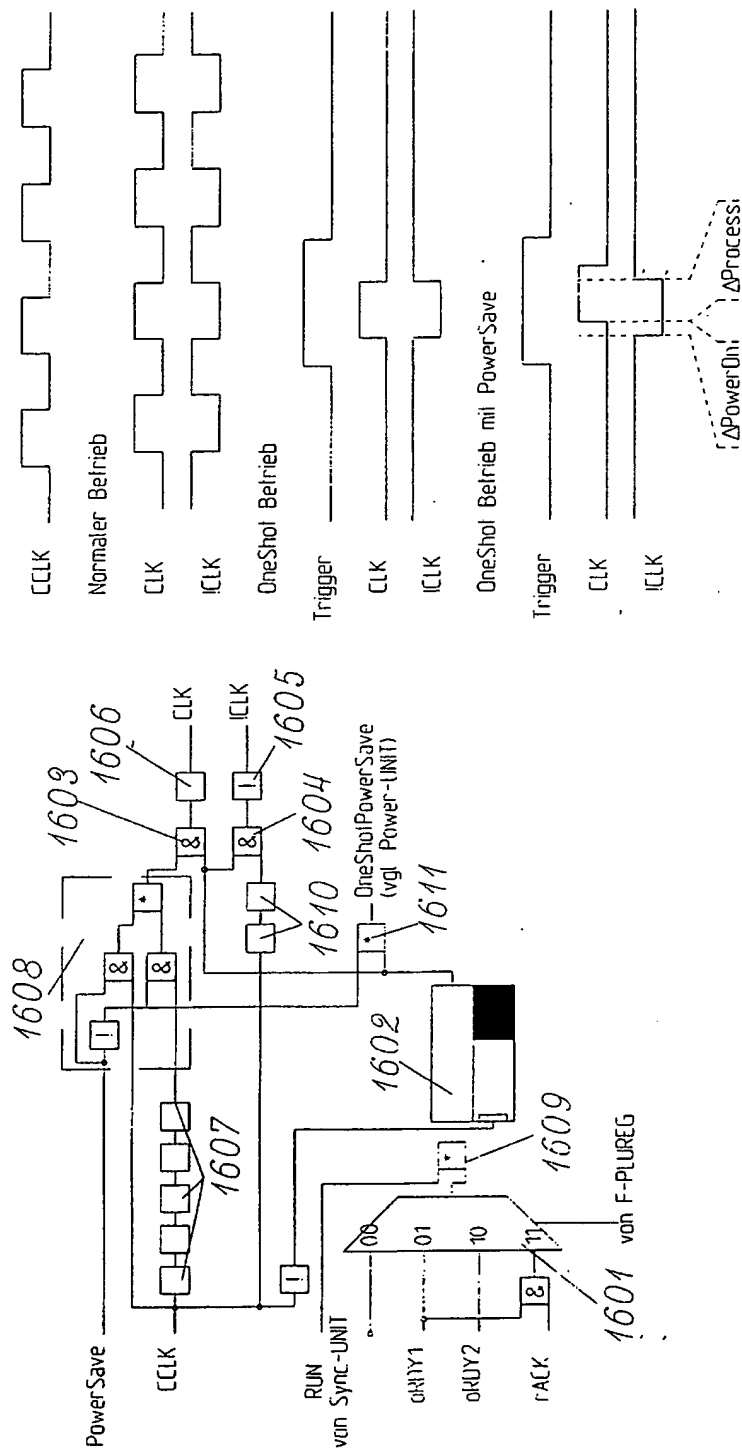


Fig. 16